



PY32F403 系列数据手册

32 位 ARM® Cortex™-M4 微控制器



Puya Semiconductor (Shanghai) Co., Ltd



产品特性

- 内核与系统
 - 32 位 ARM® Cortex™-M4 处理器内核，支持 FPU 和 DSP 指令
 - 典型工作频率可达 144 MHz
- 存储器
 - 高达 384 K 字节的闪存程序存储器
 - 高达 64 K 字节的 SRAM
- 时钟、复位和电源管理
 - 1.8 V ~ 3.6 V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - 外部 4 ~ 32 MHz 高速晶体振荡器
 - 内嵌经出厂调校的 8 MHz 高速振荡器
 - PLL 支持 CPU 最高运行在 144 MHz
 - 外部 32.768 KHz 低速振荡器
- 低功耗
 - 睡眠、停机和待机模式
 - V_{BAT} 为 RTC 和后备寄存器供电
- 3 个 12 位模数转换器，1 μs 转换时间 (多达 18 个输入通道)
 - 转换范围：0 ~ V_{CCA}
 - 支持采样时间和分辨率配置
 - 支持单次、连续、扫描和非连续多种转换模式
 - 片上温度传感器
 - 片上电压传感器
 - 支持 Timer、EXTI 触发
- 12 通道 DMA 控制器
 - 支持的外设：Timer、ADC、UART、I²C、I²S、SPI、SDIO
- 多达 80 个快速 I/O 端口：
 - 所有 I/O 口可以映像到 16 个外部中断
 - 部分端口支持 5 V 输入
- 调试模式
 - 串行单线调试 (SWD) 或 JTAG 接口
- 多达 17 个定时器
 - 2 个 16 位高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 10 个 16 位通用定时器，有高达 4 个独立通道用于输入捕获/输出比较，通用定时器还支持使用正交解码器的两个输入的编码器接口
 - 2 个 16 位基本定时器
 - 2 个看门狗定时器 (独立的和窗口型的)
 - 系统时间定时器：24 位自减型计数器
- 多达 13 个通信接口
 - 5 个 UART 接口
 - 2 个 I²C 接口
 - 3 个 SPI 接口
 - 1 个 ESMC 接口
 - 1 个 CANFD 接口
 - 1 个 USB 接口
 - 1 个 SDIO 接口
- 96 位的芯片唯一 ID (UID)
- 采用 LQFP100、LQFP64、LQFP48、QFN32(4*4)封装

目录

产品特性	2
1. 简介	6
2. 功能概述	9
2.1. Arm® Cortex®-M4 处理器.....	9
2.2. 存储器.....	9
2.3. 存储器保护单元 (MPU)	10
2.4. FLASH 加速器 (ACC)	10
2.5. Boot 模式.....	10
2.6. 备份寄存器 (BKP)	10
2.7. 时钟系统.....	11
2.8. 电源管理.....	13
2.8.1. 电源框图	13
2.8.2. 电源监控	13
2.8.3. 电压调节器.....	15
2.8.4. 低功耗模式.....	15
2.9. 复位	15
2.9.1. 电源复位	15
2.9.2. 系统复位	15
2.10. 通用输入输出 GPIO	16
2.11. DMA.....	16
2.12. 中断	17
2.12.1. 中断控制器 NVIC	17
2.12.2. 扩展中断 EXTI	17
2.13. 模数转换器 ADC	18
2.14. 定时器.....	18
2.14.1. 高级定时器.....	18
2.14.2. 通用定时器.....	19
2.14.3. 基本定时器 TIM6/TIM7	19
2.14.4. IWDG.....	19
2.14.5. WWDG.....	20
2.14.6. SysTick timer	20
2.15. 实时时钟 RTC.....	20
2.16. 循环冗余校验计算单元 CRC.....	20
2.17. 时钟校验系统 CTC.....	21
2.18. 系统配置控制器 SYSCFG	21
2.19. Debug support (DBG)	21
2.20. SDIO.....	21
2.21. I ² C 接口.....	22

2.22. 通用同步异步收发器 USART	23
2.23. 串行外设接口 SPI	24
2.24. 内部集成音频(I ² S).....	24
2.25. 外部串行存储控制器 (ESMC)	25
2.26. USB 2.0 全速模块.....	25
2.27. CANFD	26
2.28. SWD	26
3. 引脚配置	27
3.1. 端口 A 复用功能映射.....	38
3.2. 端口 B 复用功能映射.....	38
3.3. 端口 C 复用功能映射	39
3.4. 端口 D 复用功能映射	40
3.5. 端口 E 复用功能映射.....	40
4. 存储器映射	42
5. 电气特性	46
5.1. 测试条件	46
5.1.1. 最小值和最大值	46
5.1.2. 典型值	46
5.2. 绝对最大额定值	46
5.3. 工作条件	47
5.3.1. 通用工作条件	47
5.3.2. 上下电工作条件	48
5.3.3. 复位和电压控制模块特性	48
5.3.4. 工作电流特性	48
5.3.5. 低功耗模式唤醒时间	51
5.3.6. 外部时钟源特性	51
5.3.7. 内部高频时钟源 HSI 特性	54
5.3.8. 内部低频时钟源 LSI 特性	54
5.3.9. 锁相环 PLL 特性.....	55
5.3.10. 存储器特性.....	55
5.3.11. ESMC 特性	55
5.3.12. EMC 特性.....	56
5.3.13. ESD & LU 特性	57
5.3.14. I/O 电流注入特性	58
5.3.15. EFT 特性.....	58
5.3.16. 端口特性	58
5.3.17. NRST 引脚特性.....	60
5.3.18. ADC 特性.....	60
5.3.19. 温度传感器特性	61

5.3.20. 内置参考电压特性.....	62
5.3.21. 定时器特性.....	62
5.3.22. 通讯口特性.....	63
5.3.23. SD/SDIO MMC 卡主机接口特性.....	68
5.3.24. CANFD 接口特性.....	69
6. 封装信息.....	70
6.1. QFN32 (4*4) 封装尺寸.....	70
6.2. LQFP48 封装尺寸.....	71
6.3. LQFP64 封装尺寸.....	72
6.4. LQFP100 封装尺寸.....	73
7. 订购信息.....	74
8. 版本历史.....	75

1. 简介

PY32F403 系列微控制器采用高性能的 32 位 ARM® Cortex®-M4 内核的 MCU。嵌入高达 384 Kbytes flash 和 64 Kbytes SRAM 存储器,最高工作频率 144 MHz。包含多种不同封装类型多款产品。芯片集成多路 I²C、SPI、USART 等通讯外设,3 路 12 位 ADC,17 个定时器,1 个 USB 2.0,1 个 CANFD。

PY32F403 系列微控制器的工作温度范围为- 40 °C ~ 85 °C,工作电压范围 1.8 V ~ 3.6 V。芯片提供睡眠、停止和待机低功耗工作模式,可以满足不同的低功耗应用。

PY32F403 系列微控制器适用于多种应用场景,例如控制器,手持设备,PC 外设,游戏和 GPS 平台、工业应用等。

表 1-1 PY32F403 系列产品规划及特征

Part Number	PY32F403xx																		
	K1 B	K1 C	C 18	C1 B	C1 C	C1 D	C 28	C2 B	C2 C	C2 D	R1 B	R1 C	R1 D	R2 B	R2 C	R2 D	V1 B	V1 C	V1 D
Flash (KB)	128	256	64	128	256	384	64	128	256	384	128	256	384	128	256	384	128	256	384
SRAM (KB)	32	64	64																
Timers	General timer	7	7	10	10	10	10	10	10	10	10	9	9	9	10	10	10	10	10
	Advanced timer	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	Sys-Tick	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Basic timer	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	Watch dog	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	RTC	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Communication Port	USART	2	2	3	3	3	3	3	3	3	5	5	5	5	5	5	5	5	5
	I ² C	1	1	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	SPI	2	2	3	3	3	3	3	3	3	3	3	3	2	2	2	3	3	3
	I2S	1	1	1	1	1	1	3	3	3	3	2	2	2	3	3	3	2	2
	CAN FD	-	-	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	USB D	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	SDIO	-	-	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
GPIO	28	28	37	37	37	37	39	39	39	39	51	51	51	51	51	51	80	80	80

Part Number	PY32F403xx																		
	K1 B	K1 C	C 18	C1 B	C1 C	C1 D	C 28	C2 B	C2 C	C2 D	R1 B	R1 C	R1 D	R2 B	R2 C	R2 D	V1 B	V1 C	V1 D
ESMC	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
EXTI	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16
ADC	Units	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
	Channels	10	10	10	10	10	10	10	10	10	16	16	16	16	16	16	16	16	16
工作电压	1.8~3.6 V																		
最大工作频率	144 M																		
工作温度	- 40 °C ~ 85 °C																		
封装	QFN32	LQFP48						LQFP64						LQFP100					

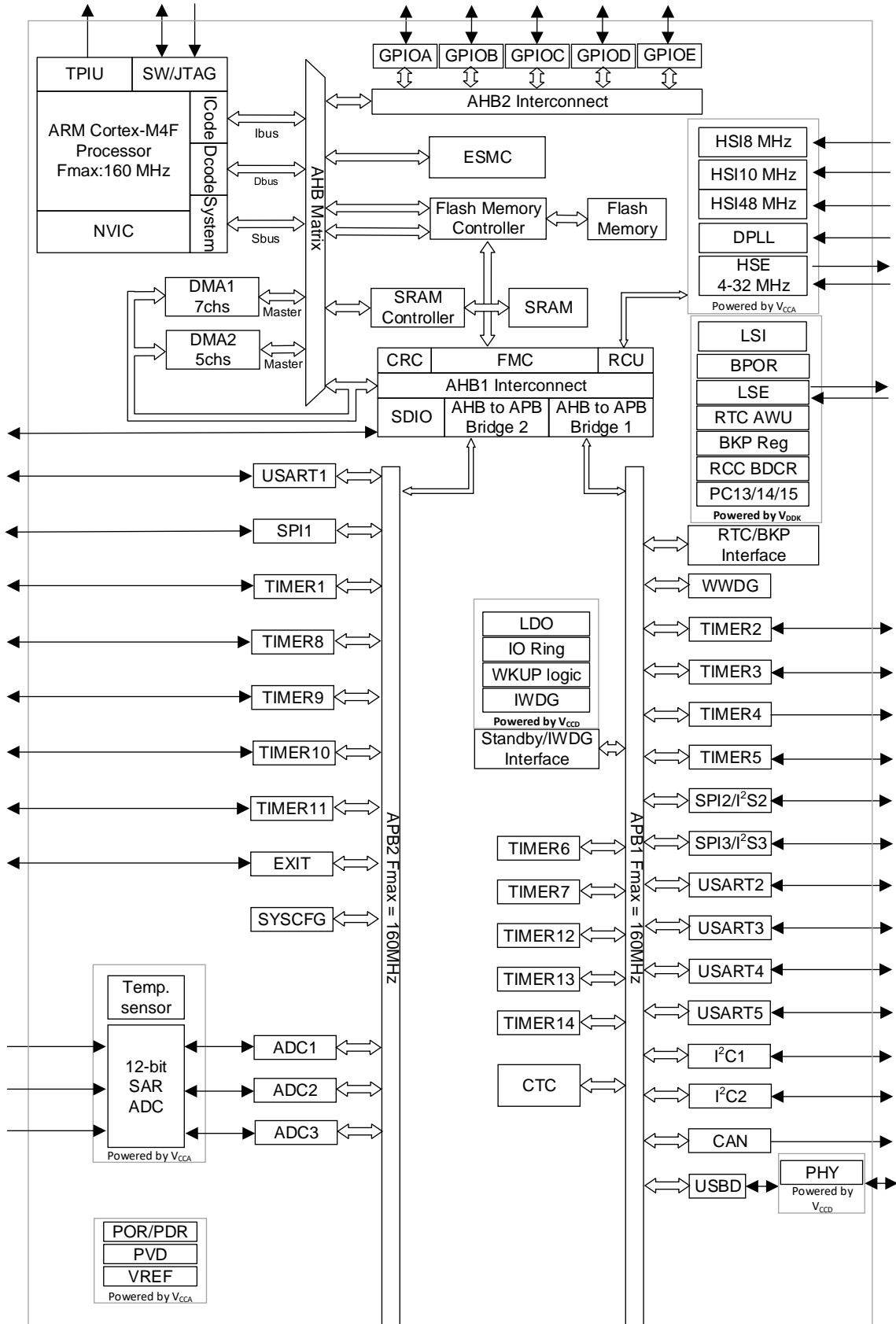


图 1-1 功能模块

2. 功能概述

2.1. Arm® Cortex®-M4 处理器

ARM®的 Cortex®-M4 处理器是支持 DSP 指令和 FPU 浮点运算的高性能嵌入式 32 位 RISC 处理器，具有优异的代码效率，采用通常 8 位和 16 位器件的存储器空间即可发挥 ARM 内核的高性能。该处理器支持一组 DSP 指令，能够实现有效的信号处理和复杂的算法执行。它的单精度 FPU（浮点单元）通过使用元语言开发工具，可加速开发，防止饱和。为 MCU 提供了低成本的平台，低引脚数、低功耗、同时提供卓越的计算性能和先进的中断系统响应。与所有 ARM 工具和软件兼容。

32 位 ARM®的 Cortex®-M4 处理器

- 支持 144 MHz 工作频率
- 单周期乘法器和硬件除法器
- 集成 DSP 指令
- 嵌套的中断向量控制
- 24 位系统滴答定时器

ARM® Cortex®-M4 处理器是基于 ARMv7-M 架构，支持 Thumb 和 Thumb-2 指令集。

- 内部总线矩阵连接 I-Code 总线、D-Code 总线、系统总线、私有外围总线(PPB)和调试访问 (AHB-AP)
- 嵌套矢量中断控制器(NVIC)
- Flash 补丁和断点 (FPB)
- 数据观察点和跟踪 (DWT)
- Instrumentation Trace Macrocell (ITM)
- 串口线 JTAG 调试端口(SWJ-DP)
- 跟踪端口接口单元(TPIU)
- 浮点运算单元(FPU)
- 内存保护单元(MPU)

2.2. 存储器

片内集成 SRAM。通过 bytes（8 位）、half - word（16 位）或者 word（32 位）的方式可访问 SRAM。

片内集成 Flash,包含两个不同的物理区域组成:

- Main flash 区域,它包含应用程序和用户数据
- Information 区域,24 kbytes, 它包括以下部分:
 - Option bytes
 - UID bytes

— System memory

对 Flash main memory 的保护包括以下几种机制：

- 读保护(RDP),防止来自外部的访问。
- 写保护(WRP)控制,以防止不想要的写操作（由于程序存储器指针 PC 的混乱）。写保护的最小保护单位为 8 kbytes。
- Option byte 写保护,专门的解锁设计。

2.3. 存储器保护单元 (MPU)

存储器保护单元 (MPU) 用于管理 CPU 对存储器的访问,防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区,还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4G 字节。

若应用中有一些关键的或认证的代码必须受到保护,以免被其它任务的错误行为影响,则 MPU 尤其有用。它通常由 RTOS (实时操作系统) 管理。若程序访问的存储器位置被 MPU 禁止,则 RTOS 可检测到它并采取行动。在 RTOS 环境中,内核可基于执行的进程,动态更新 MPU 区的设置。MPU 是可选的,若应用不需要则可绕过。

2.4. FLASH 加速器 (ACC)

为了发挥处理器的全部性能,该加速器将实施指令预取队列和分支缓存,从而提高了 Flash 的程序执行速度。根据 CoreMark 基准测试,该加速器所获得的性能需要达到相当于 Flash 在 CPU 频率高达 144 MHz 时以等待周期执行程序。

- ICODE 可以进行指令预取
- 指令缓存 64 条分支,数据位宽为 128 位
- 数据缓存 16 条分支,数据位宽为 128 位

2.5. Boot 模式

通过 BOOT0 pin 和 BOOT1 pin,可选择三种不同的启动模式,如下表所示:

表 2-1 Boot 配置

Boot mode configuration		Mode
BOOT1 Pin	BOOT0 pin	
X	0	选择 Main flash 作为启动区
0	1	选择 System memory 作为启动区
1	1	选择 SRAM 作为启动区

Boot loader 程序存储在 System memory,用于通过 USART 接口下载 Flash 程序。

2.6. 备份寄存器 (BKP)

备份寄存器是 42 个 16 位的寄存器，可用来存储 84 个字节的用户应用程序数据。该模块处在备份域里，当 V_{DD} 电源被切断，他们仍然由 V_{BAT} 维持供电。当系统在待机模式下被唤醒，或系统复位或电源复位(POR)时，他们也不会被复位。

- 支持 84 字节数据后备寄存器
- 用来管理防侵入检测并具有中断功能的状态/控制寄存器
- 用来存储 RTC 校验值的校验寄存器。
- 在 PC13 引脚(当该引脚不用于侵入检测时)上输出 RTC 校准时钟，RTC 闹钟脉冲或者秒脉冲

2.7. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 8 MHz,在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个 8 MHz 内部高精度 HSI 时钟。
- 一个 40 kHz 可配置的内部 LSI 时钟。
- 4 ~ 32 MHz HSE 时钟,并且可以使能 CSS 功能检测 HSE。如果 CSS fail,硬件会自动转换系统时钟为 HSI,HSI 频率由软件配置,同时 CPU NMI 中断产生。
- 一个 32.768 KHz LSE 时钟。
- PLL 时钟,PLL 源可以选择 HSE。如果选择 HSE 源,当 CSS 使能并且 CSS fail 时,关闭 PLL 和 HSE,硬件选择系统时钟源为 HSI。

AHB 时钟可以基于系统时钟分频,APB 时钟可以基于 AHB 时钟分频。AHB 和 APB 时钟频率最高为 144 MHz。

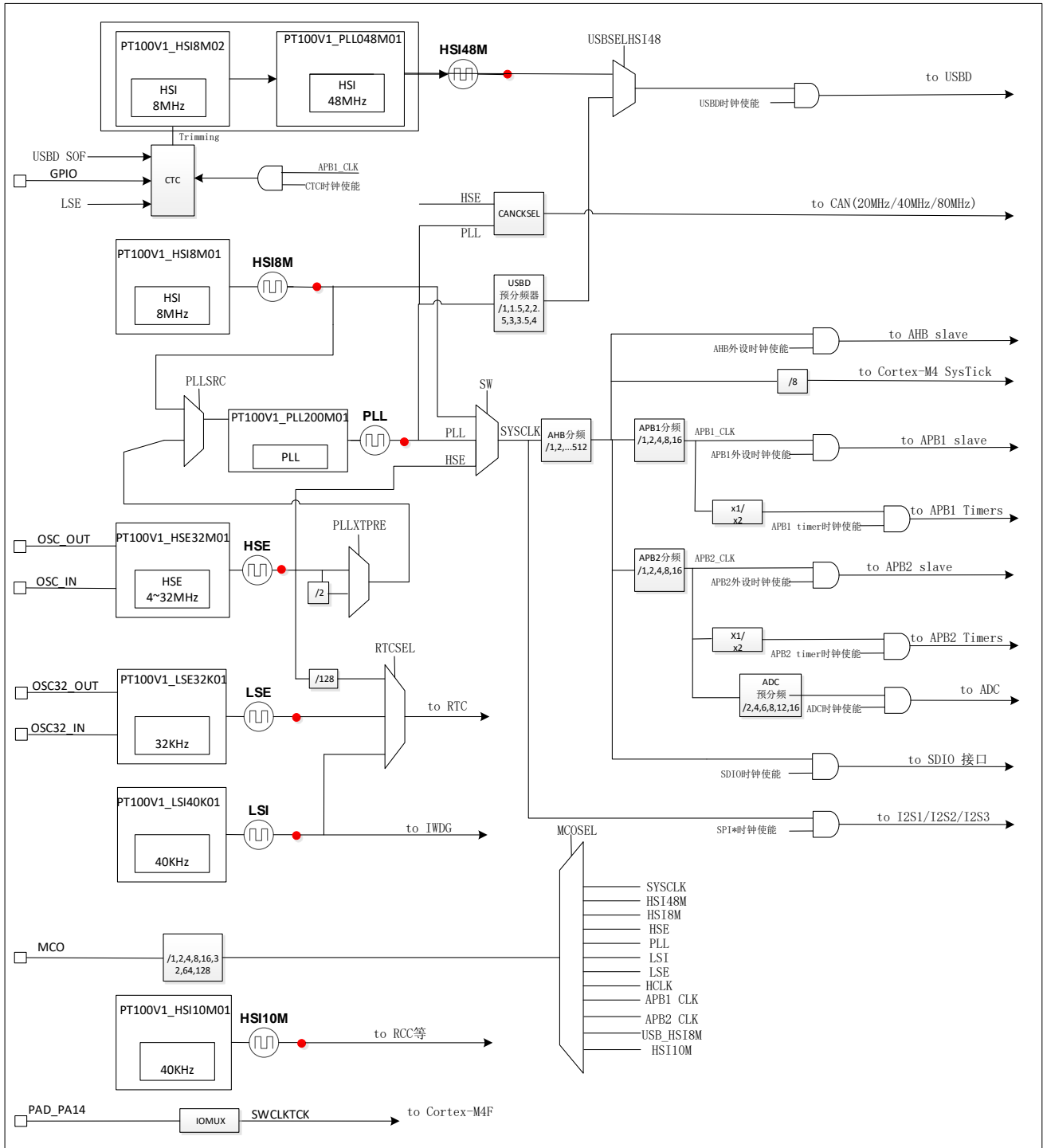


图 2-1 系统时钟结构图

2.8. 电源管理

2.8.1. 电源框图

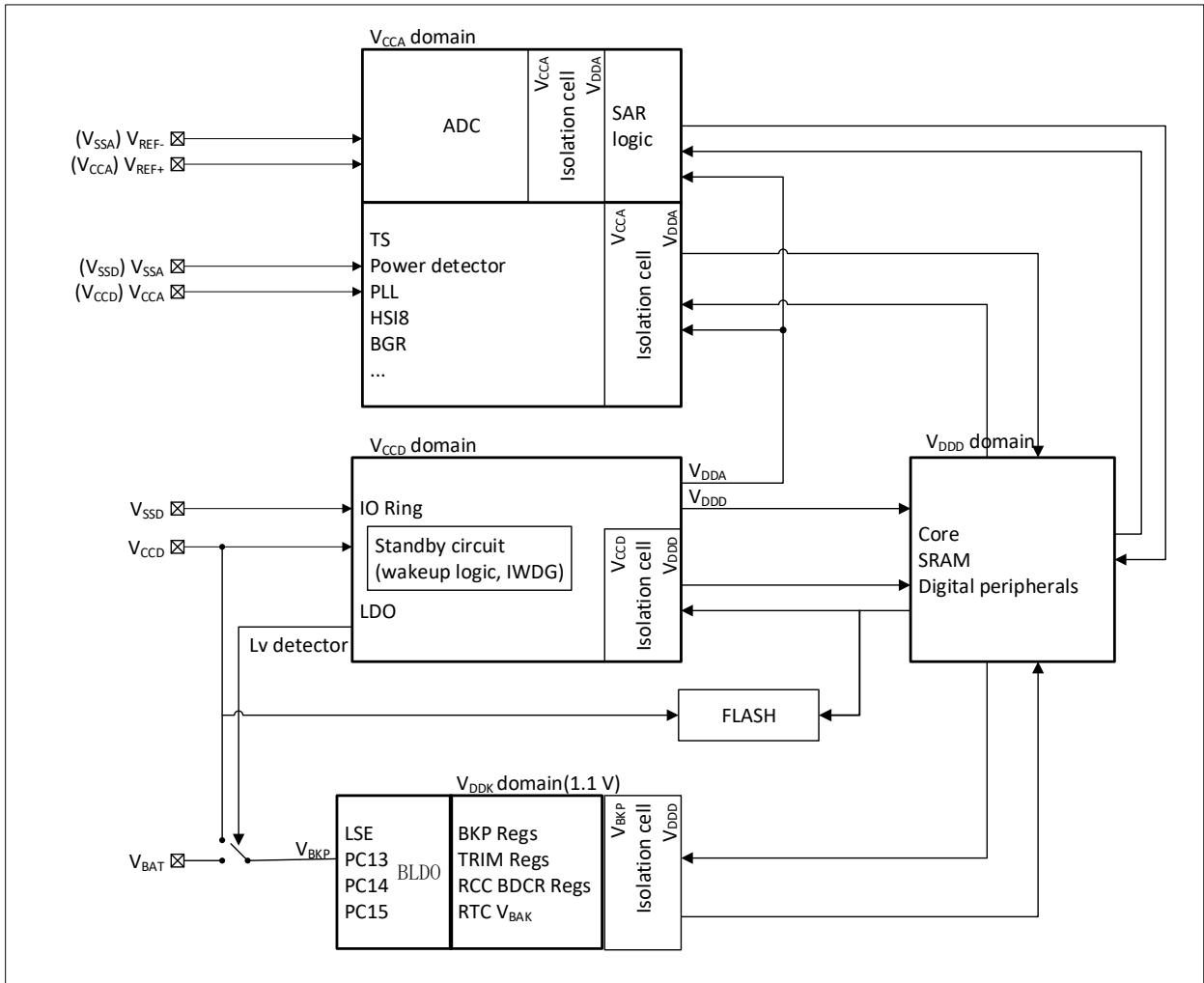


图 2-2 电源框图

表 2-2 电源框图

编号	电源	电源值	描述
1	V _{CC}	1.8 V ~ 3.6 V	通过电源管脚为芯片提供电源。
2	V _{DDD}	1.2 V / 1.0 V ± 10%	来自于 VR 的输出,为芯片内部主要逻辑电路、SRAM 供电。当 MR 供电时,输出 1.2 V。当进入 stop 模式时,根据软件配置,可以由 MR 或者 LPR 供电,并根据软件配置决定 LPR 输出是 1.2 V 或者 1.0 V。
3	V _{CCA}	1.8 V ~ 3.6 V	通过电源管脚为芯片模拟电路提供电源。

2.8.2. 电源监控

2.8.2.1. 上下电复位 (POR/PDR)

芯片内设计上电复位 (POR) / 掉电复位 (PDR) 模块,为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

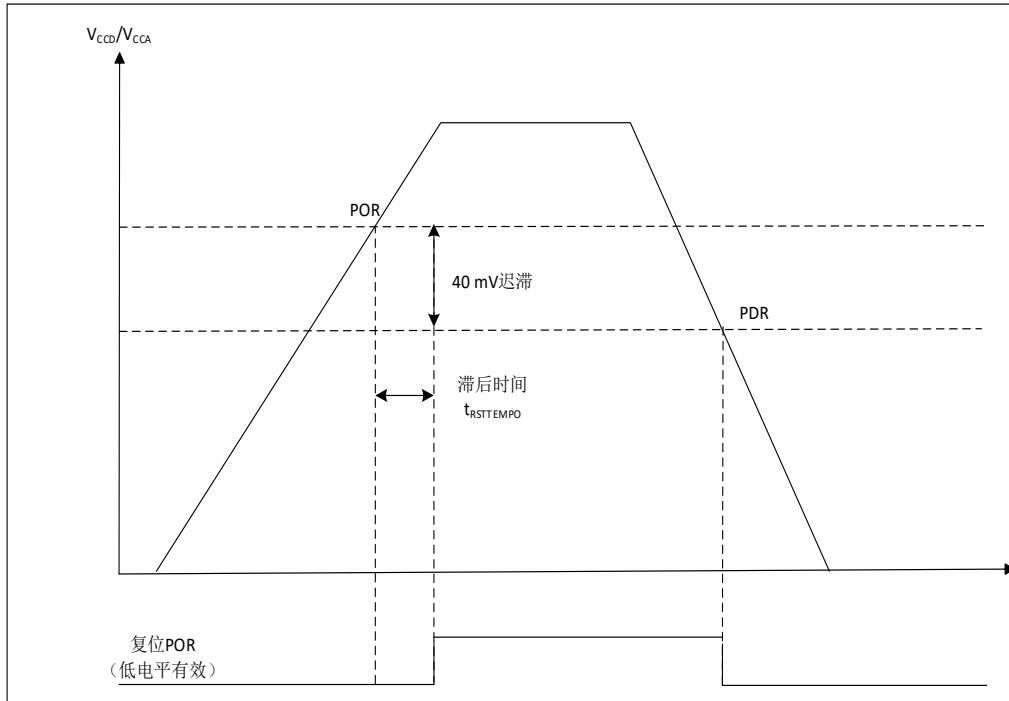


图 2-3 POR/PDR 阈值

2.8.2.2. 电压检测 (PVD)

Programmable Voltage detector (PVD) 模块可以用来检测 V_{CC} 电源,检测点可通过寄存器进行配置。当 V_{CC} 高于或低于 PVD 的检测点时,产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16,取决于 EXTI line 16 上升/下降沿配置,当 V_{CC} 上升超过 PVD 的检测点,或者 V_{CC} 降低到 PVD 的检测点以下,产生中断,在中断服务程序中用户可以进行紧急的 shutdown 任务。

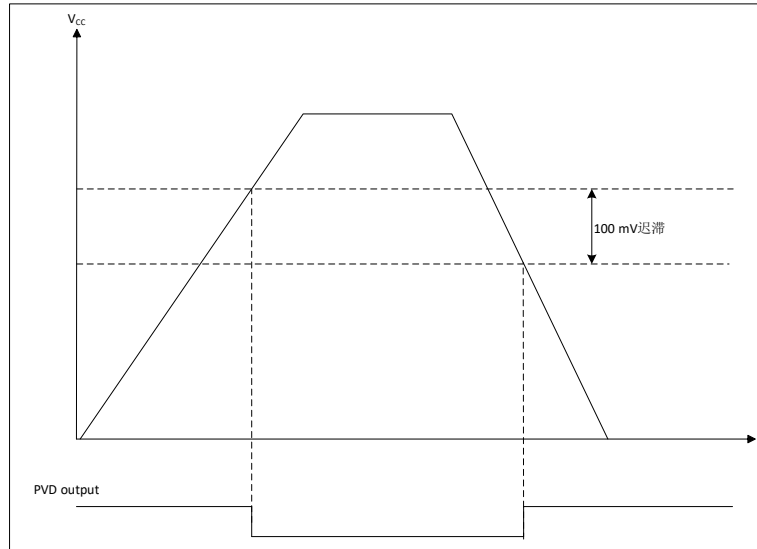


图 2-4 PVD 阈值

2.8.3. 电压调节器

芯片设计三个电压调节器:

- 主模式 MR (Main regulator) 在芯片正常运行状态时保持工作。
- 低功耗模式 LPR (low power regulator) 在 stop 模式下,提供更低功耗的选择。
- 关断模式用于 CPU 待机模式。(LDO 输出高阻, 内核供电切断, 寄存器和 SRAM 内容丢失)

2.8.4. 低功耗模式

芯片在正常的运行模式之外,有 3 个低功耗模式:

- Sleep mode: CPU 时钟关闭 (NVIC, SysTick 等工作),外设可以配置为保持工作。(建议只使能必须工作的模块,在模块工作结束后关闭该模块)
- Stop mode: 该模式下 SRAM 和寄存器的内容保持,高速时钟 PLL、HSI 和 HSE 关闭, V_{DD} 域下大部分模块时钟都被停掉。GPIO, PVD 和 RTC 可以唤醒 stop 模式。
- 待机模式: 芯片存在 V_{BAT} 电源,所以在 V_{CC} 掉电时,芯片仅 V_{BKP} 域工作。从待机模式退出的条件有四种: NRST 上的外部复位、IWDG 复位、RTC 闹钟到时、WKUP 管脚上的上升沿。

2.9. 复位

芯片内设计三种复位,分别是: 电源复位、系统复位和备份域复位。

2.9.1. 电源复位

电源复位在以下几种情况下产生:

- 上下电复位 (POR / PDR)

2.9.2. 系统复位

当产生以下事件时,产生系统复位:

- NRST pin 的复位
- 窗口看门狗复位(WWDG)
- 独立看门狗复位(IWDG)
- SYSRESETREQ 软件复位
- Option byte load 复位 (OBL)

2.10. 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出 (push - pull 或者 open drain) ,输入 (floating, pull – up / down,analog) ,外设复用功能,锁定机制会冻结 I/O 口配置功能。GPIO 功能概要如下:

- 寄存器支持 IO Port / AHB 总线读写
- 输出状态: 推挽输出或者开漏输出 + 上拉/下拉
- 数据输出来自数据寄存器(GPIOx_ODR)或者外设 (复用功能输出)
- 每个 I/O 可进行速度选择
- 输入状态: 浮空, 上拉/下拉, 模拟
- 数据输入送给输入数据寄存器(GPIOx_IDR)或者外设 (复用功能输入)
- 位置位/复位寄存器 (GPIOx_BSRR) , 允许对 GPIOx_ODR 的位写访问
- 锁定机制 (GPIOx_LCKR)会冻结 I/O 口配置功能
- 模拟功能
- 复用功能选择寄存器 (每个 IO 口最多 16 种复用功能)
- 高度灵活的 I/O 多路选择功能, 使得 I/O 口作为 GPIO, 或者作为各种外设接口功能

2.11. DMA

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。搬移数据无需 CPU 干预,数据可以通过 DMA 快速地移动,这就节省了 CPU 的资源来做其他操作。该器件具有两个通用双端口 DMA (DMA1 和 DMA2) , 分别有 7 个和 5 个通道,每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

主要功能如下:

- 单 AHB master
- 支持外设到存储器,存储器到外设,存储器到存储器和外设到外设的数据传输
- 片上存储器设备,如 FLASH,SRAM,AHB 和 APB 外设,作为源和目标
- 所有 DMA 通道均可独立配置:
 - 每个通道要么与来自外设的 DMA 请求信号相关联,要么与存储器到存储器传输中的软件触发器相关联。这个配置是由软件完成的。
 - 请求之间的优先级由软件可编程(每个通道 4 级:非常高、高、中、低),在相等的情况下由硬件可编程(例如对通道 1 的请求比对通道 2 的请求优先)。

- 源和目标的传输大小是独立的(字节,半字,字),模拟打包和拆包。源地址和目标地址必须按数据大小对齐。
- 可编程传输数据数:0 ~ 65535
- 每个通道生成一个中断请求。每个中断请求都是由三个 DMA 事件中的任何一个引起的:传输完成、半传输或传输错误。

2.12. 中断

PY32F403 通过 Cortex-M4 处理器内嵌的矢量中断控制器(NVIC)和一个扩展中断/事件控制器(EXTI)来处理异常。

2.12.1. 中断控制器 NVIC

NVIC 是 Cortex-M4 处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI (不可屏蔽中断) 和可屏蔽外部中断,以及 Cortex-M4 内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程(ISR)启动之间的延迟。ISR 向量列在一个向量表中,存储在 NVIC 的一个基地地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生,而低优先级的中断事件刚好在等待响应,稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链 (tail-chaining) 。当从一个高优先级的 ISR 返回时,然后启动一个挂起的低优先级的 ISR,将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟,提高了电源效率。

NVIC 特性:

- 低延时中断处理
- 4 级中断优先级
- 支持 1 个 NMI 中断
- 60 个可屏蔽的中断通道 (不包括 16 个 CPU 的中断)
- 高优先级中断可打断低优先级中断响应
- 支持尾链(tail - chaining)优化
- 硬件中断向量检索

2.12.2. 扩展中断 EXTI

- EXTI 增加了处理物理线事件的灵活性,系统可以通过 GPIO 和指定模块 (PVD/RTC) 输入事件唤醒。
- EXTI 控制器有多个通道,包括最多 16 个 GPIO,1 个 PVD 输出以及 RTC 唤醒信号。其中 GPIO,PVD 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0 ~ 15 通道。
- 每个 EXTI line 都可以通过寄存器独立屏蔽。
- EXTI 控制器可以捕获比内部时钟周期短的脉冲。

- EXTI 控制器中的寄存器锁存每个事件,即使是在 stop 模式下,处理器从停止模式唤醒后也能识别唤醒的来源,或者识别引起中断的 GPIO 和事件。

2.13. 模数转换器 ADC

- 芯片内置有 3 个 12 位的 SARADC。该模块共有最多 19 个要被测量的通道,包括 16 个外部通道和 3 个内部通道,在单次或扫描模式下执行转换。
- 各通道的转换模式可以设定为单次、连续、扫描、不连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。
- 模拟 watchdog 允许应用检测是否输入电压超出了用户定义的高或者低阈值。
- ADC 实现了在低频率下运行,可获得很低的功耗。
- 在采样结束,转换结束,连续转换结束,模拟 watchdog 时转换电压超出阈值时产生中断请求。

2.14. 定时器

PY32F403 不同定时器的特性如下表所示:

表 2-3 定时器特性

类型	Timer	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	上,下,中央对齐	1 ~ 65536	支持	4	3
	TIM8	16 位	上,下,中央对齐	1 ~ 65536	支持	4	3
通用定时器	TIM2	16 位	上,下,中央对齐对齐	1 ~ 65536	支持	4	-
	TIM3	16 位	上,下,中央对齐对齐	1 ~ 65536	支持	4	-
	TIM4	16 位	上,下,中央对齐对齐	1 ~ 65536	支持	4	-
	TIM5	16 位	上,下,中央对齐对齐	1 ~ 65536	支持	4	-
通用定时器	TIM10/ TIM11/ TIM13/ TIM14	16 位	上	1 ~ 65536	-	1	-
通用定时器	TIM9/ TIM12	16 位	上	1 ~ 65536	-	2	-
基本定时器	TIM6,TIM7	16 位	上	1 ~ 65536	-	-	-

2.14.1. 高级定时器

高级定时器 (TIM1/TIM8) 由 16 位被可编程分频器驱动的自动装载计数器组成。它可以被用作各种场景,包括: 输入信号 (输入捕获) 的脉冲长度测量,或者产生输出波形 (输出比较、输出 PWM、带死区插入的互补 PWM)。

TIM1/TIM8 包括 4 个独立通道,用作:

- 输入捕获
- 输出比较
- PWM 产生 (边缘或者中心对齐模式)
- 单脉冲模式输出

如果 TIM1/TIM8 配置为标准的 16 位计时器,则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器,则具有全调制能力(0 - 100%)。

在 MCU debug 模式,TIM1/TIM8 可以冻结计数。

具有相同架构的 timer 特性共享,因此 TIM1/TIM8 可以通过计时器链接功能与其他计时器一起工作,以实现同步或事件链接。

TIM1/TIM8 支持 DMA 功能。

2.14.2. 通用定时器

2.14.2.1. TIM2/TIM3/TIM4/TIM5

TIM2/TIM3/TIM4/TIM5 通用定时器是由 16 位可编程分频器驱动的 16 位自动重装载计数器构成。具有 4 个独立的通道,每个用于输入捕获/输出比较,PWM 或者单脉冲模式输出。

- 可以通过计时器链接功能与 TIM1 一起工作
- 支持 DMA 功能
- 能够处理正交(增量)编码器信号和数字输出从 1 到 3 霍尔效应传感器
- 在 MCU debug 模式, TIM2/TIM3/TIM4/TIM5 可以冻结计数

2.14.2.2. TIM10/ TIM11/ TIM13/TIM14

- 通用定时器 TIM10/TIM11/TIM13/TIM14 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM10/TIM11/TIM13/TIM14 具有 1 个独立通道用于输入捕获/输出比较,PWM 或者单脉冲模式输出。
- 在 MCU debug 模式, TIM10/TIM11/TIM13/TIM14 可以冻结计数。

2.14.2.3. TIM9/TIM12

- TIM9 和 TIM12 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM9 和 TIM12 具有 2 个独立通道用于输入捕获/输出比较,PWM 或者单脉冲模式输出。
- TIM9 和 TIM12 具有带死区的互补输出。
- 在 MCU debug 模式, TIM9 和 TIM12 可以冻结计数。

2.14.3. 基本定时器 TIM6/TIM7

- 基本定时器 TIM6/TIM7 包含一个 16 位自动装载计数器,由各自的可编程预分频器驱动。
- 16 位自动装载计数器。
- 在更新事件(计数器溢出)发生时产生中断/DMA 请求。

2.14.4. IWDG

芯片内集成了一个 Independent watchdog (简称 IWDG),该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱,并在计数器达到指定的 timeout 值时触发系统复位。

- IWDG 由独立的 RC 振荡器提供时钟,可在 STOP 和 STANDBY 模式下工作。
- IWDG 最适合需要 watchdog 作为主应用之外的独立过程,并且无很高的时序准确度限制的应用。
- 通过 option byte 的控制,可以使能 IWDG 硬件模式。
- IWDG 是 stop 模式的唤醒源,以复位的方式唤醒 stop 模式。
- 在 MCU debug 模式,IWDG 可以冻结计数值。

2.14.5. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器,可以设置为自由运行。当出现问题时,它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟(PCLK)。它具有预警中断能力,计数器可以在 MCU debug 模式下被冻结。

2.14.6. SysTick timer

SysTick 计数器专门用于实时操作系统 (RTOS),但也可以用作标准的向下计数器。

SysTick 特性:

- 24 位向下计数
- 自装载能力
- 计数器记到 0 时可产生中断 (可屏蔽)

2.15. 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器,在相应软件配置下,可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

- RTC 为预分频系数最高为 2^{20} 的 32 位可编程计数器。
- RTC 计数器时钟源可以为 LSE、LSI 以及 HSE 时钟除以 128,可以作为 stop 唤醒源。
- RTC 可以产生闹钟中断,秒中断和溢出中断 (可屏蔽)。
- RTC 支持时钟 calibration。
- 在 MCU debug 模式, RTC 可以冻结计数。

2.16. 循环冗余校验计算单元 CRC

循环冗余校验(CRC)计算单元是根据固定的生成多项式得到 32 位 CRC 计算结果。在其他的应用中,CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。CRC 计算单元含有 1 个 32 位数据寄存器:

- 对该寄存器进行写操作时,作为输入寄存器,可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时,返回上一次 CRC 计算的结果。
- 每一次写入数据寄存器,其计算结果是前一次 CRC 计算结果和新计算结果的组合(对整个 32 位字进行 CRC 计算,而不是逐字节地计算)。

- 可以通过设置寄存器 CRC_CR 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。
- 支持配置 CRC 初始值。

2.17. 时钟校验系统 CTC

时钟校准控制器 (CTC) 采用硬件的方式,自动校准内部配置为 48 MHz 时的 RC 晶振,并作为 USB 模块时钟源。CTC 模块基于外部高精度的参考信号源来校准 HSI 的时钟频率,通过自动的或手动的调整校准值,以得到一个精准的 PLL48M 时钟。

CTC 模块主要完成如下功能:

- 三个外部参考信号源: GPIO, LSE 时钟, USB_SOF。
- 提供软件参考同步脉冲。
- 硬件自动校准,无需软件操作。
- 具有参考信号源捕获和重载功能的 16 位校准计数器。
- 用于频率评估和自动校准的 8 位时钟校准基值。
- 标志位和中断,用于指示时钟校准的状态: 校准成功状态 (CKOKIF), 警告状态 (CKWARNIF) 和错误状态 (ERRIF)。

2.18. 系统配置控制器 SYSCFG

SYSCFG 模块主要完成如下功能:

- I²C fast mode plus,使能/禁止一些 IO ports。
- 根据不同 boot 模式,映射初始程序区。
- DMA 外设通道选择控制。
- TIMx 级联控制。

2.19. Debug support (DBG)

MCU DBG 模块协助调试器提供以下功能:

- 支持睡眠模式,停止模式和待机模式
- CPU 进入 HALT 时,控制定时器、看门狗停止计数或者继续计数
- CPU 进入 HALT 时,阻止 I²C1 和 I²C2 SMBUS 超时
- CPU 进入 HALT 时,阻止 CANFD 的接收寄存器更新
- 分配跟踪引脚

MCUDBG 寄存器还提供芯片 ID 编码。使用 JTAG 或者 SW 调试接口,或者用户程序都可以访问此 ID 编码。

2.20. SDIO

SD/SDIO MMC 卡主机模块(SDIO)在 AHB 外设总线和多媒体卡(MMC)、SD 存储卡、SDIO 卡和 CE-ATA 设备间提供了操作接口。

支持以下功能:

- 支持 SD 卡 2.0 版本
- 支持 SD I/O 卡 2.0 版本
- 支持 MMC4.2 版本
- 支持 CE-ATA 1.1 版本
- 支持命令完成信号和向主机处理器中断
- 命令完成信号关闭功能

SDIO 不支持 SPI 模式的通信模式, 只支持 I/O 模式的 SD 卡或复合卡中的 I/O 部分, 不能支持 SD 存储设备中的很多命令, 如擦除命令。另外, SD 存储卡和 SD I/O 卡中有些命令是不同的, SDIO 也不支持这些命令。MMC4.1 不支持 DDR 启动。

2.21. I²C 接口

I²C(inter-integrated circuit)总线接口连接微控制器和串行 I²C 总线。它提供多主机功能,控制所有 I²C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm)、快速 (Fm)。

I²C 特性:

- 2 个 I²C 接口,支持 Slave 和 master 模式
- 多主机功能: 可以做 master,也可以做 slave
- 支持不同通讯速度
 - 标准模式 (Sm): 高达 100 kHz
 - 快速模式 (Fm): 高达 400 kHz
- 作为 Master
 - 产生 Clock
 - Start 和 Stop 的产生
- 作为 slave
 - 可编程的 I²C 地址检测
 - 可响应 2 个从地址的双地址能力
 - Stop 位的发现
- 7 位/10 位寻址模式
- 通用广播 (General call)
- 状态标志位
 - 发送/接收模式标志位
 - 字节传输完成标志位
 - I²C busy 标志位
- 错误标志位
 - Master arbitration loss
 - 地址/数据传输后的 ACK failure

- Start/Stop 错误
- Overrun/Underrun(时钟拉长功能 disable)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer
- 软件复位
- 模拟噪声滤波功能
- 支持 SMBus

2.22. 通用同步异步收发器 USART

PY32F403 包含 5 个通用同步/异步收发器 (USART) ,支持 ISO7816, LIN, IrDA。

通用同步异步收发器(USART)提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信,它还允许许多处理器通信。

支持自动波特率检测。

使用多缓冲器配置的 DMA 方式,可以实现高速数据通信。

USART 特性:

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样,增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率,最高达 4.5 Mbit/s
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位 (支持 0.5,1,1.5 或 2 个停止位)
- 发送方为同步传输提供时钟
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位
 - 对接收数据进行校验
- 带标志的中断源
 - CTS 改变
 - 发送寄存器空

- 发送完成
- 接收数据寄存器满
- 检测到总线空闲
- 溢出错误
- 帧错误
- 噪音操作
- 校验错误
- LIN 断开符检测
- 多处理器通信
 - 如果地址不匹配, 则进入静默模式
- 从静默模式唤醒: 通过空闲检测和地址标志检测, 两种唤醒接收器的方式: 地址位 (MSB, 第 9 位), 总线空闲。

2.23. 串行外设接口 SPI

PY32F403 包含 3 个 SPI。串行外设接口(SPI)允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式, 并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

SPI 特性如下:

- Master 或者 slave 模式
- 3 线全双工同步传输
- 2 线半双工同步传输 (有双向数据线)
- 2 线单工同步传输 (无双向数据线)
- 8 位或者 16 位传输帧选择
- 支持多主模式
- 8 个主模式波特率预分频系数 (最大为 $f_{PCLK}/4$)
- 从模式频率 (最大为 $f_{PCLK}/4$)
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理: 主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序, MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- Motorola 模式
- 可引起中断的主模式故障、过载
- 2 个具备 DMA 能力的 32 位 Rx 和 Tx FIFOs

2.24. 内部集成音频(I²S)

- 2 个采样率 8 KHz~192 KHz 的 I²S 总线接口
- 支持主机模式和从机模式，全双工和单工通信模式

I²S 总线通过 3 线串行线路为数字音频应用提供标准通信接口。包含两个 I²S 总线接口，可在主或从模式下以 16/32 位分辨率操作，引脚与 SPI1 和 SPI2 多路复用。支持 8 KHz~192 KHz 的音频采样频率，精度误差小于 0.5%。所有 I²S 接口都可以使用 DMA 控制器。

2.25. 外部串行存储控制器 (ESMC)

ESMC (External Serial Memory Controller) 是一种专用通信接口，用于单 (Single SPI)、双 (Dual SPI)、四 (Quad SPI) 和八 (Octal SPI) 通道 SPI 接口存储器 (NOR Flash, PSRAM 等)。它可以在以下两种模式中的任何一种模式下运行：

- 间接模式：所有操作均使用 QUADSPI 寄存器执行 (indirect mode)
- 内存映射模式：外部闪存映射到设备地址空间，系统将其视为内部存储器 (memory mapped mode)

使用双存储器模式，即同时访问两个 Quad SPI 存储器，可以实现类似 Octal SPI 存储器一样提高两倍的吞吐量和存储容量。

- 两种功能模式：间接和内存映射
- 可同时发送/接收 8 位
- 双闪存模式，通过并行访问两个闪存，可同时发送/接收 8 位
- Octal SPI
- SDR 和 DDR 支持
- 用于间接和内存映射模式的完全可编程操作码
- 间接和内存映射模式的完全可编程帧格式
- 用于接收和传输的集成 FIFO
- 允许 8 位、16 位和 32 位数据访问
- 用于间接模式操作的 DMA 信道
- FIFO 操作完成上的中断生成

2.26. USB 2.0 全速模块

PY32F403 包含 1 个 USB 2.0 全速模块。USB 外设实现了 USB2.0 全速总线和 APB1 总线间的接口。支持 USB 挂起/恢复操作，可以停止设备时钟实现低功耗。主要特性如下：

- 符合 USB 2.0 全速设备的技术规范
- 可配置 1 到 8 个 USB 端点
- CRC(循环冗余校验)生成/校验，反向不归零 (NRZI) 编码/解码和位填充
- 支持同步传输
- 支持批量/同步端点的双缓冲区机制
- 支持 USB 挂起/恢复操作

- 帧锁定时钟脉冲生成

2.27. CANFD

PY32F403 包含 1 个 CANFD 通信接口模块。

CAN (Controller Area Network) 总线是一种可以在无主机情况下实现微处理器或者设备之间相互通信的总线标准。CAN FD 控制器遵循 CAN 总线 CAN2.0(2.0A、CAN2.0B) 和 CAN FD 协议。

CAN 总线控制器可以处理总线上的数据收发，在本产品中，CAN FD 控制器具有 12 组筛选器。筛选器用于为应用程序选择要接收的消息。

CAN FD 控制器中应用程序可通过 1 个高优先级的主发送缓冲器 (Primary Transmit Buffer, 以下简称 PTB) 和 3 个辅发送缓冲器 (Secondary Transmit Buffer, 以下简称 STB) 将发送数据送至总线, 由发送调度器决定邮箱发送顺序。通过 3 个接收缓冲器 (Receive Buffer, 以下简称 RB) 获取总线数据。3 个 STB 以及 3 个 RB 可以理解为一个 3 级 FIFO 和一个 3 级 FIFO, FIFO 完全由硬件控制。

CAN FD 总线控制器同时也可以支持时间触发 CAN 通信 (Time-trigger communication) 。

- 完全支持 CAN2.0A/ CAN2.0B/ CANFD 协议
- CAN2.0 支持最高通信波特率 1 Mbit/s
- 支持 1 ~ 1/ 32 的波特率预分频, 灵活配置波特率
- 3 个接收缓冲器
 - FIFO 方式
 - 错误或者不被接收的数据不会覆盖存储的消息
- 1 个高优先主发送缓冲器 PTB
- 3 个副发送缓冲器 STB
 - FIFO 方式
 - 优先级仲裁方式
- 12 组独立的筛选器
 - 支持 11 位标准 ID 和 29 位扩展 ID
 - 可编程 ID CODE 位以及 MASK 位
- PTB/STB 均支持单次发送模式
- 支持静默模式
- 支持回环模式
- 支持捕捉传输的错误种类以及定位仲裁失败位置
- 可编程的错误警告值
- 支持 ISO11898 - 4 规定时间触发 CANFD 以及接收时间戳

2.28. SWD

ARM SWD 接口允许串口调试工具连接到 PY32F403。

3. 引脚配置

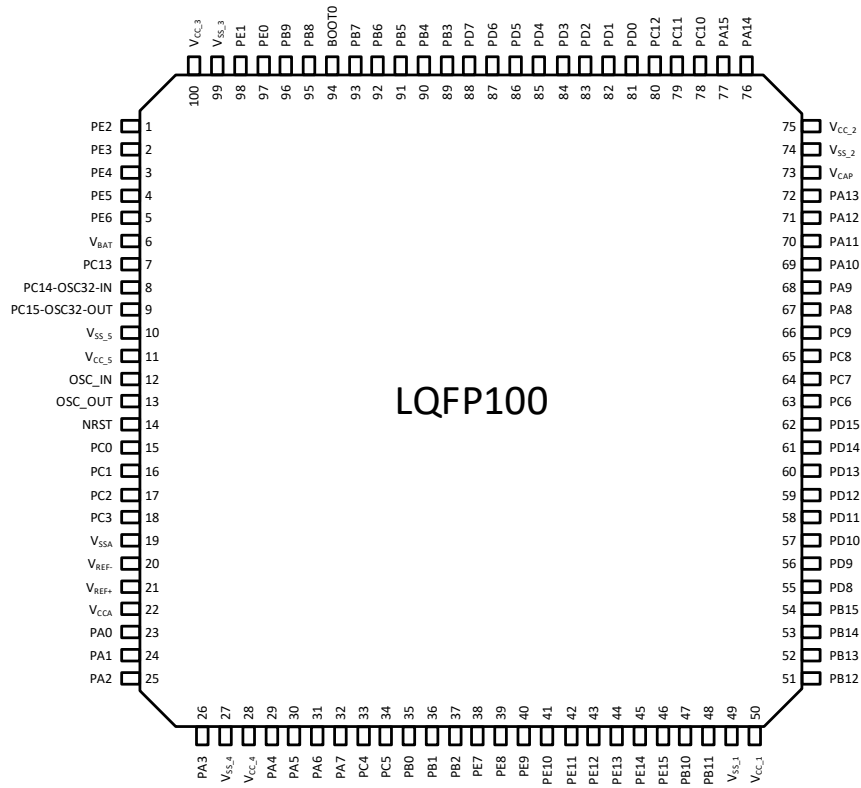


图 3-1 LQFP100 PY32F403V1x Pinout1

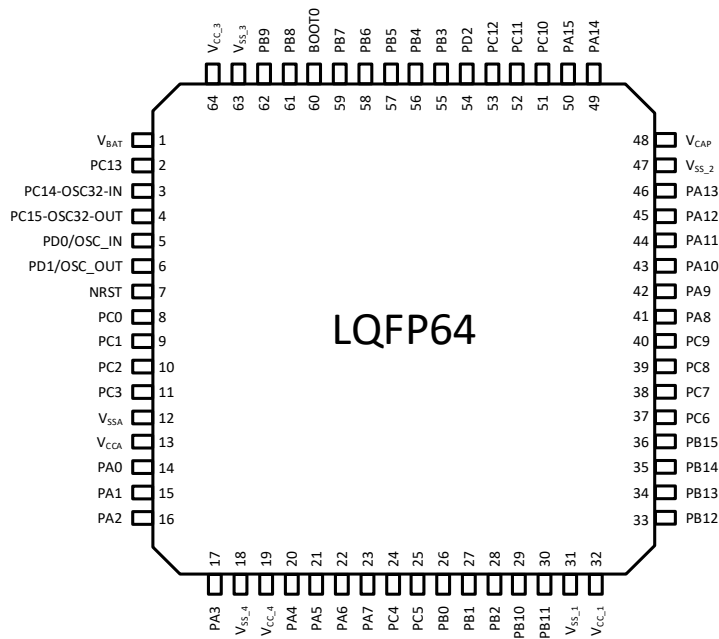


图 3-2 LQFP64 PY32F403R1x Pinout1

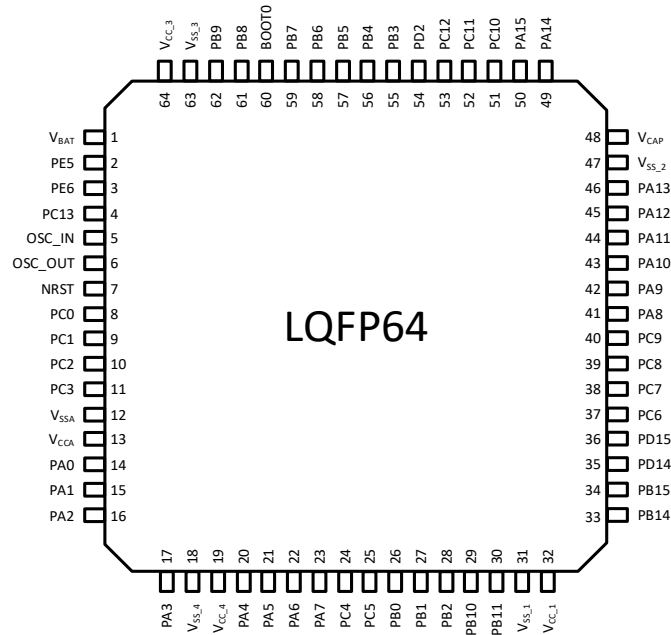


图 3-3 LQFP64 PY32F403R2x Pinout2

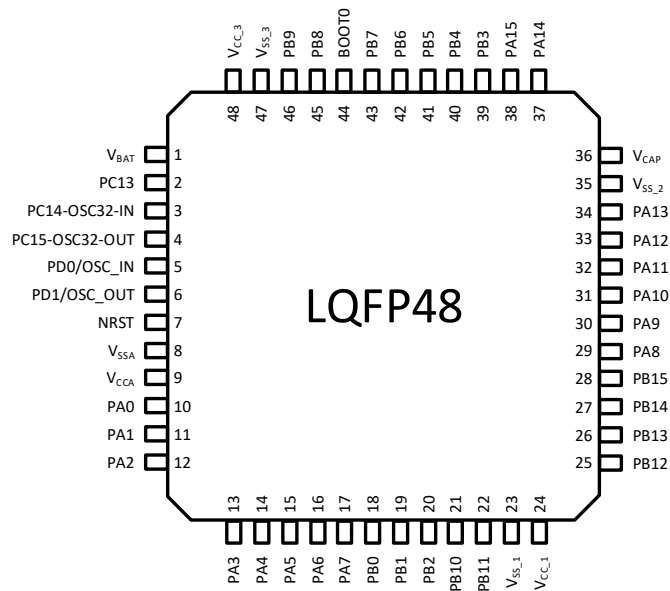


图 3-4 LQFP48 PY32F403C1x Pinout1

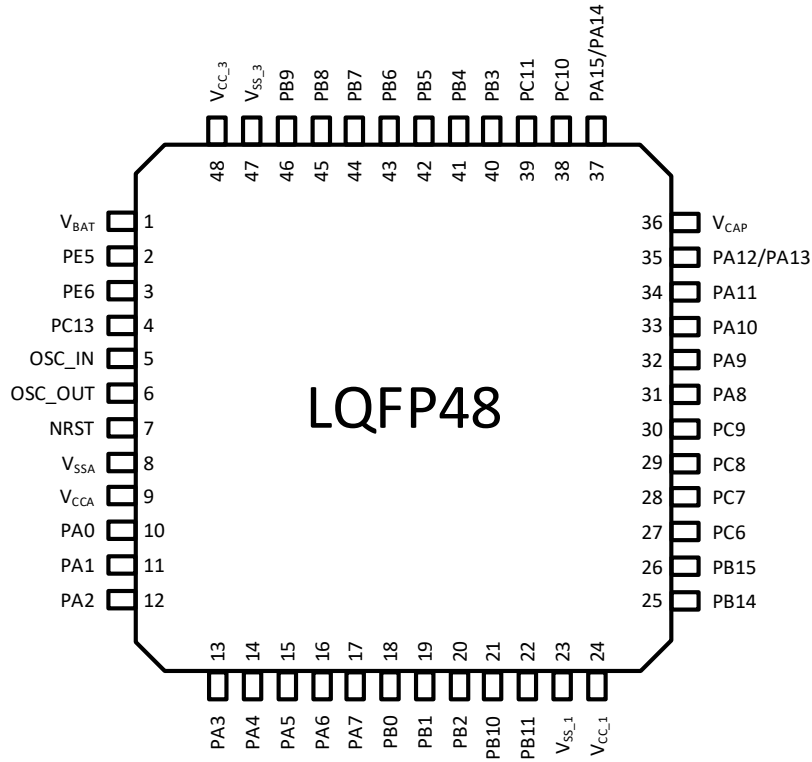


图 3-5 LQFP48 PY32F403C2x Pinout2

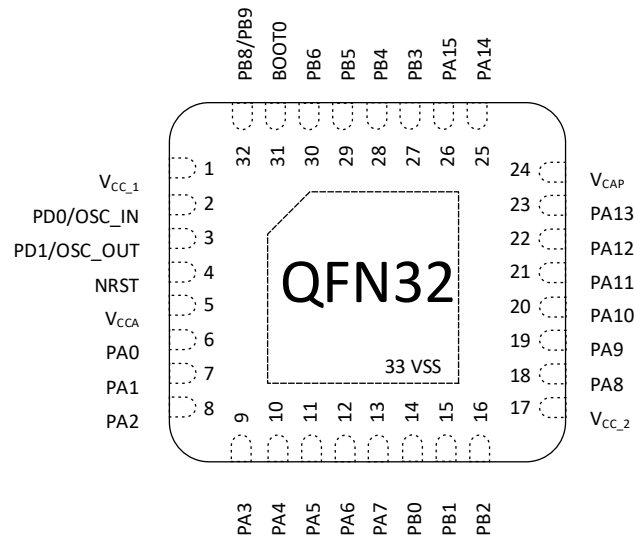


图 3-6 QFN32 PY32F403K1x Pinout1

表 3-1 引脚定义的术语和符号

类型	符号	定义
端口类型	S	Supply pin
	G	Ground pin

类型		符号	定义
		I	Input - only pin
		I/O	Input/ output pin
		NC	无定义
端口结构		FT	正常 5 V 端口,支持模拟输入输出功能
		RST	复位端口,内部带弱上拉电阻,不支持模拟输入输出功能
Notes		-	除非有其他说明,不然所有端口都被在复位之间和之后,作为浮空的输入
端口功能	复用功能	-	通过 GPIOx_AFR 寄存器选择的功能
	附加功能	-	通过外设寄存器直接选择或使能的功能

表 3-2 引脚定义

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
1	-	-	-	-	-	PE2	I/O	FT	PE2	TRACECK EVENT_OUT	-
2	-	-	-	-	-	PE3	I/O	FT	PE3	TRACED0 EVENT_OUT	-
3	-	-	-	-	-	PE4	I/O	FT	PE4	TRACED1 EVENT_OUT	-
4	-	2	-	2	-	PE5	I/O	FT	PE5	TRACED2 TIM9_CH1 EVENT_OUT	-
5	-	3	-	3	-	PE6	I/O	FT	PE6	TRACED3 TIM9_CH2 ENENT_OUT	WKUP3
6	1	1	1	1	-	V _{BAT}	S	-	V _{BAT}	-	-
7	2	4	2	4	-	PC13-TAMPER RTC ⁽²⁾⁽³⁾	I/O	-	PC13	EVENT_OUT	TAMPER- RTC WKUP2
8	3	-	3	-	-	PC14- OSC32_IN ⁽²⁾⁽³⁾	I/O	-	PC14	EVENT_OUT	OSC32_IN
9	4	-	4	-	-	PC15- OSC32_OUT ⁽²⁾⁽³⁾	I/O	-	PC15	EVENT_OUT	OSC32_OUT
10	-	-	-	-	-	V _{SS_5}	S	-	V _{SS_5}	-	-
11	-	-	-	-	-	V _{CC_5}	S	-	V _{CC_5}	-	-
12	5	5	5	5	2	OSC_IN	I	-	OSC_IN	-	-
13	6	6	6	6	3	OSC_OUT	O	-	OSC_OUT	-	-
14	7	7	7	7	4	NRST	I/O	-	NRST	-	-
15	8	8	-	-	-	PC0	I/O	-	PC0	EVENT_OUT	ADC123_IN10
16	9	9	-	-	-	PC1	I/O	-	PC1	ESMC_IO4 EVENT_OUT	ADC123_IN11
17	10	10	-	-	-	PC2	I/O	-	PC2	ESMC_IO5 EVENT_OUT	ADC123_IN12
18	11	11	-	-	-	PC3	I/O	-	PC3	ESMC_IO6	ADC123_IN13

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
										EVENT_OUT	
19	12	12	8	8	-	V _{SSA}	S	-	V _{SSA}	-	-
20	-	-	-	-	-	V _{REF-}	S	-	V _{REF-}	-	-
21	-	-	-	-	-	V _{REF+}	S	-	V _{REF+}	-	-
22	13	13	9	9	5	V _{CCA}	S	-	V _{CCA}	-	-
23	14	14	10	10	6	PA0-WKUP1	I/O	-	PA0	WKUP1	ADC123_IN0 WKUP1
										USART2_CTS	
										TIM8_ETR	
										TIM2_CH1_ETR	
										TIM5_CH1	
EVENT_OUT											
24	15	15	11	11	7	PA1	I/O	-	PA1	USART2_RTS	ADC123_IN1
										TIM2_CH2	
										TIM5_CH2	
										EVENT_OUT	
25	16	16	12	12	8	PA2	I/O	-	PA2	USART2_TX	ADC123_IN2 WKUP4
										TIM2_CH3	
										TIM5_CH3	
										TIM9_CH1	
										ESMC_SS0	
EVENT_OUT											
26	17	17	13	13	9	PA3	I/O	-	PA3	USART2_RX	ADC123_IN3
										TIM2_CH4	
										TIM5_CH4	
										TIM9_CH2	
										ESMC_CLK	
EVENT_OUT											
27	18	18	-	-	-	V _{SS_4}	S	-	V _{SS_4}	-	-
28	19	19	-	-	-	V _{CC_4}	S	-	V _{CC_4}	-	-
29	20	20	14	14	10	PA4	I/O	-	PA4	USART2_CK	ADC12_IN4
										SPI1_NSS	
										EVENT_OUT	
30	21	21	15	15	11	PA5	I/O	-	PA5	SPI1_SCK	ADC12_IN5
										EVENT_OUT	
31	22	22	16	16	12	PA6	I/O	-	PA6	SPI1_MISO	ADC12_IN6
										TIM8_BKIN	
										TIM3_CH1	
										TIM13_CH1	
										ESMC_IO3	
EVENT_OUT											
32	23	23	17	17	13	PA7	I/O	-	PA7	SPI1_MOSI	ADC12_IN7
										TIM8_CH1N	
										TIM14_CH1	
										ESMC_IO2	
										EVENT_OUT	

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
33	24	24	-	-	-	PC4	I/O	-	PC4	ESMC_IO7 EVENT_OUT	ADC12_IN14
34	25	25	-	-	-	PC5	I/O	-	PC5	EVENT_OUT	ADC12_IN15 WKUP5
35	26	26	18	18	14	PB0	I/O	-	PB0	TIM1_CH2N TIM8_CH2N TIM3_CH3 ESMC_IO1 I ² S3_CK EVENT_OUT	ADC12_IN8
36	27	27	19	19	15	PB1	I/O	-	PB1	TIM1_CH3N TIM8_CH3N ESMC_IO0 EVENT_OUT	ADC12_IN9
37	28	28	20	20	16	PB2	I/O	FT	PB2/BOOT1	EVENT_OUT	BOOT1
38	-	-	-	-	-	PE7	I/O	FT	PE7	TIM1_ETR	-
39	-	-	-	-	-	PE8	I/O	FT	PE8	TIM1_CH1N	-
40	-	-	-	-	-	PE9	I/O	FT	PE9	TIM1_CH1	-
41	-	-	-	-	-	PE10	I/O	FT	PE10	TIM1_CH2N ESMC_CLK EVENT_OUT	-
42	-	-	-	-	-	PE11	I/O	FT	PE11	TIM1_CH2 ESMC_SS3 EVENT_OUT	-
43	-	-	-	-	-	PE12	I/O	FT	PE12	TIM1_CH3N ESMC_IO0 EVENT_OUT	-
44	-	-	-	-	-	PE13	I/O	FT	PE13	TIM1_CH3 ESMC_IO1 EVENT_OUT	-
45	-	-	-	-	-	PE14	I/O	FT	PE14	TIM1_CH4 ESMC_IO2 EVENT_OUT	-
46	-	-	-	-	-	PE15	I/O	FT	PE15	TIM1_BKIN ESMC_IO3 EVENT_OUT	-
47	29	29	21	21	-	PB10	I/O	FT	PB10	I ² C2_SCL USART3_TX TIM2_CH3 ESMC_CLK EVENT_OUT	-
48	30	30	22	22	-	PB11	I/O	FT	PB11	I ² C2_SDA USART3_RX TIM2_CH4 ESMC_SS1	-

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
										EVENT_OUT	
49	31	31	23	23	-	V _{SS_1}	S	-	V _{SS_1}	-	-
50	32	32	24	24	1	V _{CC_1}	S	-	V _{CC_1}	-	-
51	33	-	25	-	-	PB12	I/O	FT	PB12	I ² C2_SMBA	-
										USART3_CK	
										SPI2_NSS	
										TIM1_BKIN	
										I ² S2_WS	
										EVENT_OUT	
52	34	-	26	-	-	PB13	I/O	FT	PB13	USART3_CTS	-
										SPI2_SCK	
										TIM1_CH1N	
										I ² S2_CK	
										EVENT_OUT	
53	35	33	27	25	-	PB14	I/O	FT	PB14	USART3_RTS	-
										SPI2_MISO	
										TIM1_CH2N	
										TIM12_CH1	
										EVENT_OUT	
54	36	34	28	26	-	PB15	I/O	FT	PB15	SPI2_MOSI	-
										TIM1_CH3N	
										TIM12_CH2	
										I ² S2_SD	
										EVENT_OUT	
55	-	-	-	-	-	PD8	I/O	FT	PD8	USART3_TX	-
										EVENT_OUT	
56	-	-	-	-	-	PD9	I/O	FT	PD9	USART3_RX	-
										EVENT_OUT	
57	-	-	-	-	-	PD10	I/O	FT	PD10	USART3_CK	-
										EVENT_OUT	
58	-	-	-	-	-	PD11	I/O	FT	PD11	USART3_CTS	-
										EVENT_OUT	
59	-	-	-	-	-	PD12	I/O	FT	PD12	TIM4_CH1	-
										USART3_RTS	
										EVENT_OUT	
60	-	-	-	-	-	PD13	I/O	FT	PD13	TIM4_CH2	-
										EVENT_OUT	
61	-	35	-	-	-	PD14	I/O	FT	PD14	TIM4_CH3	-
										EVENT_OUT	
62	-	36	-	-	-	PD15	I/O	FT	PD15	TIM4_CH4	-
										EVENT_OUT	
63	37	37	-	27	-	PC6	I/O	FT	PC6	USART4_CK	-
										TIM8_CH1	
										TIM3_CH1	
										SDIO_D6	

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
										I ² S2_MCK	
										EVENT_OUT	
64	38	38	-	28	-	PC7	I/O	FT	PC7	USART4_CTS	-
										TIM8_CH2	
										TIM3_CH2	
										SDIO_D7	
										I ² S3_MCK	
										EVENT_OUT	
65	39	39	-	29	-	PC8	I/O	FT	PC8	USART4_RTS	-
										TIM8_CH3	
										TIM3_CH3	
										SDIO_D0	
66	40	40	-	30	-	PC9	I/O	FT	PC9	TIM8_CH4	-
										TIM3_CH4	
										SDIO_D1	
										EVENT_OUT	
67	41	41	29	31	18	PA8	I/O	FT	PA8	MCO	-
										USART1_CK	
										TIM1_CH1	
										EVENT_OUT	
68	42	42	30	32	19	PA9	I/O	FT	PA9	USART1_TX	-
										TIM1_CH2	
										EVENT_OUT	
69	43	43	31	33	20	PA10	I/O	FT	PA10	USART1_RX	-
										CTC_SYNC	
										TIM1_CH3	
										EVENT_OUT	
70	44	44	32	34	21	PA11	I/O	FT	PA11	USART1_CTS	USB_DM
										TIM1_CH4	
										CAN_RX	
										EVENT_OUT	
71	45	45	33	35	22	PA12	I/O	FT	PA12	USART1_RTS	USB_DP
										TIM1_ETR	
										CAN_TX	
										EVENT_OUT	
72	46	46	34	35	23	PA13	I/O	FT	JTMS-SWDIO	JTMS-SWDIO	-
										EVENT_OUT	
73	-	48	-	36	24	V _{CAP}	-		V _{CAP}	-	-
74	47	47	35	-	-	V _{SS_2}	S	-	V _{SS_2}	-	-
75		-		-	17	V _{CC_2}	S	-	V _{CC_2}	-	-
	48	-	36	-	-	V _{CAP}	-		V _{CAP}	-	-
76	49	49	37	37	25	PA14	I/O	FT	JTCK-SWCLK	JTCK-SWCLK	-
										EVENT_OUT	
77	50	50	38	37	26	PA15	I/O	FT	JTDI	JTDI	-

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
										SPI3_NSS	
										SPI1_NSS	
										TIM2_CH1_ETR	
										I ² S3_WS	
										EVENT_OUT	
78	51	51	-	38	-	PC10	I/O	FT	PC10	USART4_TX	-
										USART3_TX	
										SDIO_D2	
										EVENT_OUT	
79	52	52	-	39	-	PC11	I/O	FT	PC11	USART4_RX	-
										USART3_RX	
										SDIO_D3	
										EVENT_OUT	
80	53	53	-	-	-	PC12	I/O	FT	PC12	USART5_TX	-
										USART3_CK	
										SDIO_CK	
										EVENT_OUT	
81	5	-	5	-	2	PD0	I/O	FT	-	CAN_RX	-
										EVENT_OUT	
82	6	-	6	-	3	PD1	I/O	FT	-	CAN_TX	-
										EVENT_OUT	
83	54	54	-	-	-	PD2	I/O	FT	PD2	TIM3_ETR	-
										USART5_RX	
										SDIO_CMD	
										EVENT_OUT	
84	-	-	-	-	-	PD3	I/O	FT	PD3	USART2_CTS	-
										USART5_CK	
										ESMC_SS2	
										EVENT_OUT	
85	-	-	-	-	-	PD4	I/O	FT	PD4	USART2_RTS	-
										USART5_CTS	
										ESMC_IO4	
										EVENT_OUT	
86	-	-	-	-	-	PD5	I/O	FT	PD5	USART2_TX	-
										USART5_RTS	
										ESMC_IO5	
										EVENT_OUT	
87	-	-	-	-	-	PD6	I/O	FT	PD6	USART2_RX	-
										ESMC_IO6	
										EVENT_OUT	
88	-	-	-	-	-	PD7	I/O	FT	PD7	USART2_CK	-
										ESMC_IO7	
										EVENT_OUT	
89	55	55	39	40	27	PB3	I/O	FT	JTDO	JTDO-TRAC- ESMC	-
										SPI3_SCK	

封装类型						端口名	端口类型	端口结构	复位功能 ⁽¹⁾	端口功能	
LQFP100 V1	LQFP64 R1	LQFP64 R2	LQFP48 C1	LQFP48 C2	QFN32 K1					复用功能	附加功能
										SPI1_SCK	
										TIM2_CH2	
										EVENT_OUT	
90	56	56	40	41	28	PB4	I/O	FT	NJTRST	NJTRST	-
										SPI3_MISO	
										SPI1_MISO	
										TIM3_CH1	
										EVENT_OUT	
91	57	57	41	42	29	PB5	I/O	-	PB5	I ² C1_SMBA	-
										SPI3_MOSI	
										SPI1_MOSI	
										TIM3_CH2	
										I ² S3_SD	
										EVENT_OUT	
92	58	58	42	43	30	PB6	I/O	FT	PB6	I ² C1_SCL	-
										USART1_TX	
										TIM4_CH1	
										EVENT_OUT	
93	59	59	43	44	-	PB7	I/O	FT	PB7	I ² C1_SDA	-
										USART1_RX	
										TIM4_CH2	
										EVENT_OUT	
94	60	60	44		31	BOOT0	I	-	BOOT0	-	-
95	61	61	45	45	32	PB8	I/O	FT	PB8	I ² C1_SCL	-
										TIM4_CH3	
										TIM10_CH1	
										CAN_RX	
										SDIO_D4	
										EVENT_OUT	
96	62	62	46	46	32	PB9	I/O	FT	PB9	I ² C1_SDA	-
										TIM4_CH4	
										TIM11_CH1	
										CAN_TX	
										SDIO_D45	
										EVENT_OUT	
97	-	-	-		-	PE0	I/O	FT	PE0	TIM4_ETR	-
										EVENT_OUT	
98	-	-	-		-	PE1	I/O	FT	PE1	EVENT_OUT	-
99	63	63	47	47	-	V _{SS_3}	S	-	V _{SS_3}	-	-
100	64	64	48	48	-	V _{CC_3}	S	-	V _{CC_3}	-	-

1. 可用功能取决于所选器件。如果多个外设共享相同的 I/O 引脚，为避免这些备用功能之间的冲突，一次只能通过外设时钟启用位（在相应的 RCC 外设时钟启用寄存器中）启用一个外设。

2. PC13、PC14、PC15 通过电源开关供电。由于该开关的灌电流能力有限(3 mA)，因此在输出模式下使用 GPIO PC13 到 PC15 时存在以下限制：
 - 1) 速率不得超过 2 MHz，最大负载为 30 pF。
 - 2) 这些 I/O 不能用作电流源（如用于驱动 LED）。
3. 第一次备份域上电后的主要功能。在这之后，取决于备份寄存器的内容，即使在复位之后也是如此（因为这些寄存器不受主区域复位控制）。

3.1. 端口 A 复用功能映射

表 3-3 端口 A 复用功能映射

PortA	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	-	USART2_CTS	-	-	TIM8_ETR	TIM2_CH1_ETR	TIM5_CH1	-	-	-	-	-	-	-	EVENT_OUT
PA1	-	-	USART2_RTS	-	-	-	TIM2_CH2	TIM5_CH2	-	-	-	-	-	-	-	EVENT_OUT
PA2	-	-	USART2_TX	-	-	-	TIM2_CH3	TIM5_CH3	TIM9_CH1	-	ESMC_SS0	-	-	-	-	EVENT_OUT
PA3	-	-	USART2_RX	-	-	-	TIM2_CH4	TIM5_CH4	TIM9_CH2	-	ESMC_CLK	-	-	-	-	EVENT_OUT
PA4	-	-	USART2_CK	SPI1_NSS	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA5	-	-	-	SPI1_SCK	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA6	-	-	-	SPI1_MISO	-	TIM8_BKIN	TIM3_CH1	-	TIM13_CH1	-	ESMC_IO3	-	-	-	-	EVENT_OUT
PA7	-	-	-	SPI1_MOSI	-	TIM8_CH1N	-	-	TIM14_CH1	-	ESMC_IO2	-	-	-	-	EVENT_OUT
PA8	MCO	-	USART1_CK	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA9	-	-	USART1_TX	-	TIM1_CH2	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA10	-	-	USART1_RX	CTC_SYNC	TIM1_CH3	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA11	-	-	USART1_CTS	-	TIM1_CH4	-	-	-	-	-	CAN_RX	-	-	-	-	EVENT_OUT
PA12	-	-	USART1_RTS	-	TIM1_ETR	-	-	-	-	-	CAN_TX	-	-	-	-	EVENT_OUT
PA13	JTMS-SWDIO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA14	JTCK-SWCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PA15	JTDI	-	SPI3_NSS	SPI1_NSS	-	-	TIM2_CH1_ETR	-	-	-	-	-	-	-	-	EVENT_OUT

3.2. 端口 B 复用功能映射

表 3-4 端口 B 复用功能映射

PortB	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	-	-	-	TIM1_CH2N	TIM8_CH2N	TIM3_CH3	-	-	-	ESMC_IO1	-	-	-	-	EVENT_OUT
PB1	-	-	-	-	TIM1_CH3N	TIM8_CH3N	-	-	-	-	ESMC_IO0	-	-	-	-	EVENT_OUT
PB2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PB3	JTDO-TRACESWO	-	SPI3_SCK	SPI1_SCK	-	-	TIM2_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PB4	NJRST	-	SPI3_MISO	SPI1_MISO	-	-	TIM3_CH1	-	-	-	-	-	-	-	-	EVENT_OUT

PortB	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB5	-	I ² C1_SMBA	SPI3_MOSI	SPI1_MOSI	-	-	TIM3_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PB6	-	I ² C1_SCL	USART1_TX	-	-	-	TIM4_CH1	-	-	-	-	-	-	-	-	EVENT_OUT
PB7	-	I ² C1_SDA	USART1_RX	-	-	-	TIM4_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PB8	-	I ² C1_SCL	-	-	-	-	TIM4_CH3	-	TIM10_CH1	-	CAN_RX	SDIO_D4	-	-	-	EVENT_OUT
PB9	-	I ² C1_SDA	-	-	-	-	TIM4_CH4	-	TIM11_CH1	-	CAN_TX	SDIO_D5	-	-	-	EVENT_OUT
PB10	-	I ² C2_SCL	USART3_TX	-	-	-	TIM2_CH3	-	-	-	ESMC_CLK	-	-	-	-	EVENT_OUT
PB11	-	I ² C2_SDA	USART3_RX	-	-	-	TIM2_CH4	-	-	-	ESMC_SS1	-	-	-	-	EVENT_OUT
PB12	-	I ² C2_SMBA	USART3_CK	SPI2_NSS	TIM1_BKIN	-	-	TIM5_ETR	-	-	-	-	-	-	I ² S2_WS	EVENT_OUT
PB13	-	-	USART3_CTS	SPI2_SCK	TIM1_CH1N	-	-	-	-	-	-	-	-	-	I ² S2_CK	EVENT_OUT
PB14	-	-	USART3_RTS	SPI2_MISO	TIM1_CH2N	-	-	-	TIM12_CH1	-	-	-	-	-	-	EVENT_OUT
PB15	-	-	-	SPI2_MOSI	TIM1_CH3N	-	-	-	TIM12_CH2	-	-	-	-	-	I ² S2_SD	EVENT_OUT

3.3. 端口 C 复用功能映射

表 3-5 端口 C 复用功能映射

PortC	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PC1	-	-	-	-	-	-	-	-	-	-	ESMC_IO4	-	-	-	-	EVENT_OUT
PC2	-	-	-	-	-	-	-	-	-	-	ESMC_IO5	-	-	-	-	EVENT_OUT
PC3	-	-	-	-	-	-	-	-	-	-	ESMC_IO6	-	-	-	-	EVENT_OUT
PC4	-	-	-	-	-	-	-	-	-	-	ESMC_IO7	-	-	-	-	EVENT_OUT
PC5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	I ² S1_MCK	EVENT_OUT
PC6	-	USART4_CK	-	-	-	TIM8_CH1	TIM3_CH1	-	-	-	-	SDIO_D6	-	-	I ² S2_MCK	EVENT_OUT
PC7	-	USART4_CTS	-	-	-	TIM8_CH2	TIM3_CH2	-	-	-	-	SDIO_D7	-	-	-	EVENT_OUT
PC8	-	USART4_RTS	-	-	-	TIM8_CH3	TIM3_CH3	-	-	-	-	SDIO_D0	-	-	-	EVENT_OUT
PC9	-	-	-	-	-	TIM8_CH4	TIM3_CH4	-	-	-	-	SDIO_D1	-	-	-	EVENT_OUT
PC10	-	USART4_TX	USART3_TX	-	-	-	-	-	-	-	-	SDIO_D2	-	-	I ² S1_CK	EVENT_OUT
PC11	-	USART4_RX	USART3_RX	-	-	-	-	-	-	-	-	SDIO_D3	-	-	I ² S1_WS	EVENT_OUT
PC12	-	USART5_TX	USART3_CK	-	-	-	-	-	-	-	-	SDIO_CK	-	-	I ² S1_SD	EVENT_OUT
PC13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT

PortC	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT

3.4. 端口 D 复用功能映射

表 3-6 端口 D 复用功能映射

PortD	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	-	-	-	-	-	-	-	-	-	-	CAN_RX	-	-	-	-	EVENT_OUT
PD1	-	-	-	-	-	-	-	-	-	-	CAN_TX	-	-	-	-	EVENT_OUT
PD2	-	USART5_RX	-	-	-	-	TIM3_ETR	-	-	-	-	SDIO_CMD	-	-	-	EVENT_OUT
PD3	-	USART5_CK	USART2_CTS	-	-	-	-	-	-	-	ESMC_SS2	-	-	-	-	EVENT_OUT
PD4	-	USART5_CTS	USART2_RTS	-	-	-	-	-	-	-	ESMC_IO4	-	-	-	-	EVENT_OUT
PD5	-	USART5_RTS	USART2_TX	-	-	-	-	-	-	-	ESMC_IO5	-	-	-	-	EVENT_OUT
PD6	-	-	USART2_RX	-	-	-	-	-	-	-	ESMC_IO6	-	-	-	-	EVENT_OUT
PD7	-	-	USART2_CK	-	-	-	-	-	-	-	ESMC_IO7	-	-	-	-	EVENT_OUT
PD8	-	-	USART3_TX	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PD9	-	-	USART3_RX	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PD10	-	-	USART3_CK	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PD11	-	-	USART3_CTS	-	-	-	-	TIM5_ETR	-	-	-	-	-	-	-	EVENT_OUT
PD12	-	-	USART3_RTS	-	-	-	TIM4_CH1	-	-	-	-	-	-	-	-	EVENT_OUT
PD13	-	-	-	-	-	-	TIM4_CH2	-	-	-	-	-	-	-	-	EVENT_OUT
PD14	-	-	-	-	-	-	TIM4_CH3	-	-	-	-	-	-	-	-	EVENT_OUT
PD15	-	-	-	-	-	-	TIM4_CH4	-	-	-	-	-	-	-	-	EVENT_OUT

3.5. 端口 E 复用功能映射

表 3-7 端口 E 复用功能映射

PortE	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE0	-	-	-	-	-	-	TIM4_ETR	-	-	-	-	-	-	-	-	EVENT_OUT
PE1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT

PortE	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE2	TRACECK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE3	TRACED0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE4	TRACED1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE5	TRACED2	-	-	-	-	-	-	-	TIM9_CH1	-	-	-	-	-	-	EVENT_OUT
PE6	TRACED3	-	-	-	-	-	-	-	TIM9_CH2	-	-	-	-	-	-	EVENT_OUT
PE7	-	-	-	-	TIM1_ETR	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE8	-	-	-	-	TIM1_CH1N	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE9	-	-	-	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	EVENT_OUT
PE10	-	-	-	-	TIM1_CH2N	-	-	-	-	-	ESMC_CLK	-	-	-	-	EVENT_OUT
PE11	-	-	-	-	TIM1_CH2	-	-	-	-	-	ESMC_SS3	-	-	-	-	EVENT_OUT
PE12	-	-	-	-	TIM1_CH3N	-	-	-	-	-	ESMC_IO0	-	-	-	-	EVENT_OUT
PE13	-	-	-	-	TIM1_CH3	-	-	-	-	-	ESMC_IO1	-	-	-	-	EVENT_OUT
PE14	-	-	-	-	TIM1_CH4	-	-	-	-	-	ESMC_IO2	-	-	-	-	EVENT_OUT
PE15	-	-	-	-	TIM1_BKIN	-	-	-	-	-	ESMC_IO3	-	-	-	-	EVENT_OUT

4. 存储器映射

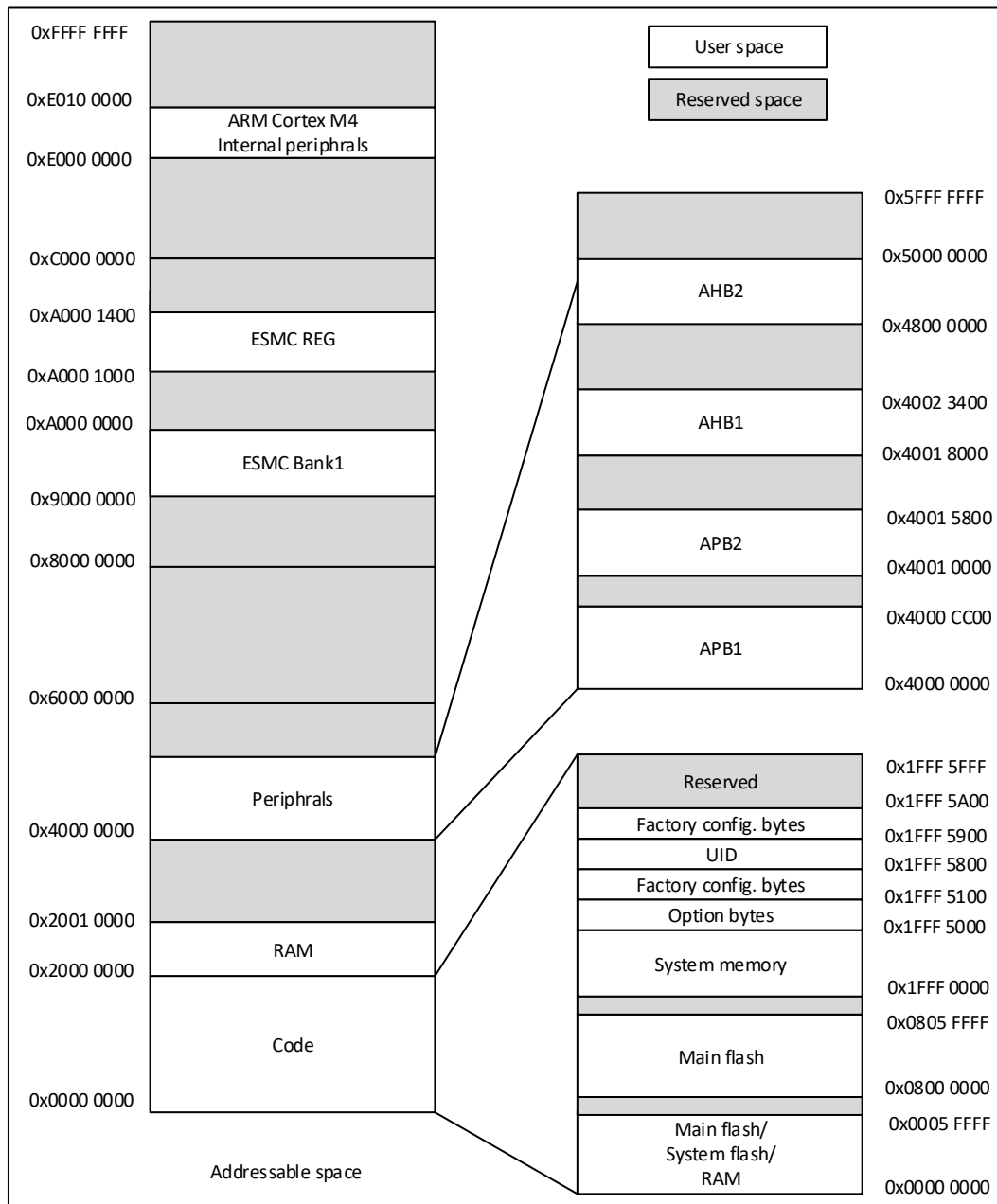


图 4-1 存储器映射

表 4-1 存储器地址

Type	Boundary Address	Size	Memory Area	Description
SRAM	0x2001 0000-0x3FFF FFFF	511 MBytes	Reserved	1.CPU 读写该空间时产生 Response error,进而进入 HardFault 异常; 2.DMA 访问时产生 TEIF 状态位;
	0x2000 0000-0x2000 FFFF	64 KBytes	SRAM	如果硬件上电配置 SRAM 为 64 KBytes, 则 SRAM 地址空间为 0x2000 0000-0x2000 FFFF
Code	0x1FFF 5A00-0x1FFF 5FFF	1.5 KBytes	Reserved	-
	0x1FFF 5900-0x1FFF 59FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5800-0x1FFF 58FF	256 Bytes	UID bytes	Unique ID
	0x1FFF 5700-0x1FFF 57FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5600-0x1FFF 56FF	256 Bytes	HSI8M Trim	-
	0x1FFF 5500-0x1FFF 55FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5400-0x1FFF 54FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5300-0x1FFF 53FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5200-0x1FFF 52FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5100-0x1FFF 51FF	256 Bytes	Factory config. bytes	-
	0x1FFF 5000-0x1FFF 50FF	256 Bytes	Option bytes	芯片软硬件 option bytes 信息;
	0x1FFF 0000-0x1FFF 4FFF	24 KBytes	System memory	存放 boot loader
	0x0806 0000-0x1FFE FFFF	383 MBytes	Reserved	-
	0x0800 0000-0x0805 FFFF	384KBytes	Main flash memory	-
	0x0006 0000-0x07FF FFFF	8 MBytes	Reserved	1.CPU 读写该空间时产生 Response error,进而进入 HardFault 异常; 2.DMA 访问时产生 TEIF 状态位;
0x0000 0000-0x0005 FFFF	384 KBytes	根据 Boot 配置选择是: 1) Main flash memory 2) System memory 3) SRAM	-	

1. 上述空间除外,其余标注为 reserved 的空间,无法进行写操作,读为 0,且产生 response error.

表 4-2 外设寄存器地址

存储器起止地址	外设	总线	寄存器映射
0xA000 1000 - 0xA000 13FF	ESMC	AHB	-
0x4002 3400 - 0x5FFF FFFF	保留	AHB2	-
0x4800 1000 - 0x4800 13FF	GPIOE		-
0x4800 0C00 - 0x4800 0FFF	GPIOD		-
0x4800 0800 - 0x4800 0BFF	GPIOC		-
0x4800 0400 - 0x4800 07FF	GPIOB		-
0x4800 0000 - 0x4800 03FF	GPIOA		-
0x4002 3400 - 0x47FF FFFF	保留		AHB1
0x4002 3000 - 0x4002 33FF	CRC	-	
0x4002 2400 - 0x4002 2FFF	保留	-	
0x4002 2000 - 0x4002 23FF	FMC	-	
0x4002 1400 - 0x4002 1FFF	保留	-	
0x4002 1000 - 0x4002 13FF	RCC	-	

存储器起止地址	外设	总线	寄存器映射	
0x4002 0800 - 0x4002 0FFF	保留		-	
0x4002 0400 - 0x4002 07FF	DMA2		-	
0x4002 0000 - 0x4002 03FF	DMA1		-	
0x4001 8400 - 0x4001 FFFF	保留		-	
0x4001 8000 - 0x4001 83FF	SDIO		-	
0x4001 5800 - 0x4001 7FFF	保留	APB2	-	
0x4001 5400 - 0x4001 57FF	TIMER11		-	
0x4001 5000 - 0x4001 53FF	TIMER10		-	
0x4001 4C00 - 0x4001 4FFF	TIMER9		-	
0x4001 4000 - 0x4001 4BFF	保留		-	
0x4001 3C00 - 0x4001 3FFF	ADC3		-	
0x4001 3800 - 0x4001 3BFF	USART1		-	
0x4001 3400 - 0x4001 37FF	TIMER8		-	
0x4001 3000 - 0x4001 33FF	SPI1		-	
0x4001 2C00 - 0x4001 2FFF	TIMER1		-	
0x4001 2800 - 0x4001 2BFF	ADC2		-	
0x4001 2400 - 0x4001 27FF	ADC1		-	
0x4001 0800 - 0x4001 23FF	保留		-	
0x4001 0400 - 0x4001 07FF	EXTI		-	
0x4001 0000 - 0x4001 03FF	SYSCFG		-	
0x4000 CC00 - 0x4000 FFFF	保留		APB1	-
0x4000 C800 - 0x4000 CBFF	CTC			-
0x4000 7800 - 0x4000 C7FF	保留			-
0x4000 7400 - 0x4000 77FF	保留	-		
0x4000 7000 - 0x4000 73FF	PWR	-		
0x4000 6C00 - 0x4000 6FFF	BKP	-		
0x4000 6800 - 0x4000 6BFF	保留	-		
0x4000 6400 - 0x4000 67FF	CANFD	-		
0x4000 6000 - 0x4000 63FF	USB/CANFD 共享 512 字节 SRAM	-		
0x4000 5C00 - 0x4000 5FFF	USB	-		
0x4000 5800 - 0x4000 5BFF	I ² C2	-		
0x4000 5400 - 0x4000 57FF	I ² C1	-		
0x4000 5000 - 0x4000 53FF	UASRT5	-		
0x4000 4C00 - 0x4000 4FFF	UASRT4	-		
0x4000 4800 - 0x4000 4BFF	USART3	-		
0x4000 4400 - 0x4000 47FF	USART2	-		
0x4000 4000 - 0x4000 43FF	保留	-		
0x4000 3C00 - 0x4000 3FFF	SPI3/I ² S	-		
0x4000 3800 - 0x4000 3BFF	SPI2/I ² S	-		
0x4000 3400 - 0x4000 37FF	保留	-		
0x4000 3000 - 0x4000 33FF	IWDG	-		
0x4000 2C00 - 0x4000 2FFF	WWDG	-		
0x4000 2800 - 0x4000 2BFF	RTC	-		
0x4000 2400 - 0x4000 27FF	保留	-		
0x4000 2000 - 0x4000 23FF	TIMER14	-		

存储器起止地址	外设	总线	寄存器映射
0x4000 1C00 - 0x4000 1FFF	TIMER13		-
0x4000 1800 - 0x4000 1BFF	TIMER12		-
0x4000 1400 - 0x4000 17FF	TIMER7		-
0x4000 1000 - 0x4000 13FF	TIMER6		-
0x4000 0C00 - 0x4000 0FFF	TIMER5		-
0x4000 0800 - 0x4000 0BFF	TIMER4		-
0x4000 0400 - 0x4000 07FF	TIMER3		-
0x4000 0000 - 0x4000 03FF	TIMER2		-

1. 上表 AHB 标注为 Reserved 的地址空间,无法写操作,读回为 0,且产生 hardfault。
2. 不仅支持 32 位字访问,还支持半字和字节访问。
3. 不仅支持 32 位字访问,还支持半字访问。

5. 电气特性

5.1. 测试条件

除非特殊说明,所有的电压都以 V_{SS} 为基准。

5.1.1. 最小值和最大值

除非特别说明,所有器件的最小值和最大值已在生产期间进行过测试,测试环境温度为 $T_A = 25\text{ }^\circ\text{C}$ 和 $T_A = T_{Amax}$ (取决于所选器件的温度范围),这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和 / 或技术特性得到的数据在表格的脚注中说明,并未在生产中进行测试。在特性分析基础上,最小值和最大值是通过样本测试后,取其平均值再加上或减去三倍的标准差 (平均值 $\pm 3\sigma$) 得到。

5.1.2. 典型值

除非特别说明,典型数据都是在 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 条件下测得的 (针对 $1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$ 电压范围。这些数据未经测试,仅供设计参考。

典型的 ADC 精度值是通过对一个标准扩散批次采样,在整个温度范围内执行特性分析确定的,其中 95% 的器件的误差小于或等于指定的值 (平均值 $\pm 2\sigma$)。

5.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值,可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等,并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 5-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部供电电压 (包括 V_{CC} , V_{CCA} , V_{BAT}) ⁽¹⁾	-0.3	4.0	V
$V_{IN}^{(2)}$	FT 引脚输入电压	$V_{SS} - 0.3$	5.5	
	其他所有输入引脚输入电压	$V_{SS} - 0.3$	4.0	
$ DV_{CCx} $	不同 V_{CC} 引脚之间电压变化	-	50	mV
$ V_{SSx} - V_{SS} $	不同地引脚之间电压变化	-	50	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. V_{IN} 的最大值必须始终遵循允许的最大注入电流值,具体见下表。

表 5-2 电流特性

符号	描述	最大值	单位
I_{VCC}	流入所有 V_{CC}/V_{CCA} 电源线的总电流 (拉电流) ⁽¹⁾	150	mA
I_{VSS}	流出所有 V_{SS} 接地线的总电流 (灌电流) ⁽¹⁾	150	
I_{IO}	任意 I/O 和控制引脚的输出灌电流	25	
	任意 I/O 和控制引脚的输出拉电流	-25	
$I_{INJ(PIN)}^{(2)(6)}$	5 V-tolerant 引脚注入电流 ⁽³⁾	-5/+0	
	其他所有引脚注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁵⁾	± 25	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. IO 类型可参考引脚定义的术语和符号。
3. 反向注入电流会干扰器件的模拟性能。
4. 这些 I/O 上无法正向注入, 输入电压低于指定的最大值时也不会发生正向注入。
5. 当 $V_{IN} > V_{CCA}$ 时, 会产生正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 会产生反向注入电流。
6. 当多个输入同时存在注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流 (瞬时值) 的绝对值之和。

表 5-3 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-65~150	°C
T_J	最大结温	150	°C

5.3. 工作条件

5.3.1. 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	AHB 时钟频率	-	0	144	MHz
f_{PCLK1}	APB1 时钟频率	-	0	144	
f_{PCLK2}	APB2 时钟频率	-	0	144	
V_{CC}	工作电压	-	1.8	3.6	V
$V_{CCA}^{(1)}$	模拟电路工作电压	必须与 V_{CC} 相同	1.8	3.6	V
V_{BAT}	备份部分工作电压	-	1.8	3.6	V
$P_D^{(2)}$	功耗 $T_A = 85^\circ\text{C}$	LQFP100	-	-	mW
		LQFP64	-	-	
T_A	环境温度	最大功耗工作时	-40	85	°C
		最低功耗工作时	-40	105	
T_J	结温范围	-	-40	105	°C

1. 建议使用相同的电源为 V_{CC} 和 V_{CCA} 供电，在上电和正常操作期间， V_{CC} 和 V_{CCA} 之间最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax} ，则允许更高的 P_D 数值。

5.3.2. 上下电工作条件

表 5-5 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t _{vcc}	V _{CC} 上升速率	-	0	∞	μs/V
	V _{CC} 下降速率	V _{CC} , V _{BAT} 同步下降	20	∞	
		V _{CC} 下降, V _{BAT} 保持	100	∞	

5.3.3. 复位和电压控制模块特性

表 5-6 复位和电压控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程电压检测器电平选择	PLS[2:0]=000 (上升沿)	1.7	1.8	1.9	V
		PLS[2:0]=000 (下降沿)	1.6	1.7	1.8	V
		PLS[2:0]=001 (上升沿)	1.9	2	2.1	V
		PLS[2:0]=001 (下降沿)	1.8	1.9	2	V
		PLS[2:0]=010 (上升沿)	2.1	2.2	2.3	V
		PLS[2:0]=010 (下降沿)	2	2.1	2.2	V
		PLS[2:0]=011 (上升沿)	2.3	2.4	2.5	V
		PLS[2:0]=011 (下降沿)	2.2	2.3	2.4	V
		PLS[2:0]=100 (上升沿)	2.5	2.6	2.7	V
		PLS[2:0]=100 (下降沿)	2.4	2.5	2.6	V
		PLS[2:0]=101 (上升沿)	2.7	2.8	2.9	V
		PLS[2:0]=101 (下降沿)	2.6	2.7	2.8	V
		PLS[2:0]=110 (上升沿)	2.9	3	3.1	V
		PLS[2:0]=110 (下降沿)	2.8	2.9	3	V
		PLS[2:0]=111 (上升沿)	3.1	3.2	3.3	V
		PLS[2:0]=111 (下降沿)	3	3.1	3.2	V
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/下电复位阈值	下降沿	1.58	1.63	1.68	V
		上升沿	1.56	1.61	1.66	V
V _{PDRhyst} ⁽¹⁾	PDR 迟滞	-	-	20	-	mV
t _{RSSTEMPO} ⁽²⁾	复位持续时间	-	1	2.5	4.5	ms

1. 由设计保证,不在生产中测试。
2. 复位持续时间的测量方法为从上电（POR 复位或从 V_{BAT} 唤醒）到用户应用代码读取第一条指令的时刻。

5.3.4. 工作电流特性

电流消耗受多个参数和因素影响，包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的代码等。本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式， V_{CC} 或 V_{SS} 上为静态值(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0 ~ 28 MHz 时为 0 个等待周期，28 ~ 60 MHz 时为 1 个等待周期，60 ~ 90 MHz 时为 3 个等待周期，90 ~ 120 MHz 时为 4 个等待周期，120 ~ 140 MHz 时为 5 个等待周期，大于 140 MHz 时为 6 个等待周期)。
- 除非特别说明， $V_{CC} = 3.6\text{ V}$ ，最大环境温度 (T_A) 时达到最大值，典型值为 $T_A = 25^\circ\text{C}$ ， $V_{CC} = 3.3\text{ V}$ 。
- 指令预取功能开启。当开启外设时： $f_{PCLK1} = f_{HCLK}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 5-7 FLASH 下运行模式电流

符号	参数	条件	频率 f_{HCLK}	典型值			单位
				最大值			
				$T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{CC}	运行模式下 供电电流	外部时钟, 所有外设使能, FLASH 运行	144 MHz	25.60	-	-	mA
			96 MHz	18.24	-	-	
			64 MHz	13.20	-	-	
			48 MHz	11.32	-	-	
			32 MHz	8.31	-	-	
			16 MHz	5.43	-	-	
			8 MHz	1.99	-	-	
		外部时钟, 所有外设禁止, FLASH 运行	144 MHz	15.09	-	-	
			96 MHz	11.07	-	-	
			64 MHz	8.37	-	-	
			48 MHz	7.50	-	-	
			32 MHz	5.71	-	-	
			16 MHz	3.91	-	-	
			8 MHz	1.35	-	-	

表 5-8 RAM 下运行模式电流

符号	参数	条件 ⁽³⁾	频率 f_{HCLK}	典型值	最大值 ⁽¹⁾		单位
				$T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I _{CC}	运行模式下供电电流	外部时钟 ⁽²⁾ , 所有外设使能	144 MHz	24.61	-	-	mA
			96 MHz	17.55	-	-	
			64 MHz	12.78	-	-	
			48 MHz	10.83	-	-	
			32 MHz	7.99	-	-	
			16 MHz	3.92	-	-	
			8 MHz	2.09	-	-	
		外部时钟 ⁽²⁾ , 所有外设禁止	144 MHz	14.39	-	-	
			96 MHz	10.68	-	-	
			64 MHz	8.07	-	-	
			48 MHz	7.33	-	-	
			32 MHz	5.65	-	-	
			16 MHz	2.68	-	-	
			8 MHz	1.49	-	-	

1. 由特性评估得出,不在生产中测试。
2. 外部时钟为 16 MHz, 当 $f_{HCLK} > 8$ MHz 时启用 PLL。
3. 8 MHz 为内部 HSI 时钟。

表 5-9 sleep 模式电流

符号	参数	条件	频率 f_{HCLK}	典型值	最大值 ⁽¹⁾		单位
				$T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I _{CC}	睡眠模式供电	外部时钟, 所有外设使能	144 MHz	19.37	-	-	mA
			96 MHz	14.07	-	-	
			64 MHz	10.44	-	-	
			48 MHz	7.21	-	-	
			32 MHz	5.45	-	-	
			16 MHz	3.32	-	-	
			8 MHz	1.82	-	-	
		外部时钟, 所有外设禁止	144 MHz	6.60	-	-	
			96 MHz	4.98	-	-	
			64 MHz	3.95	-	-	
			48 MHz	3.41	-	-	
			32 MHz	2.86	-	-	
			16 MHz	1.95	-	-	
			8 MHz	1.07	-	-	

1. 数据基于考核结果,不在生产中测试。

表 5-10 停机和待机模式电流

符号	参数	条件	典型值 ⁽¹⁾			最大值 ⁽²⁾		单位
			$V_{CC}/V_{BAT} = 2.0\text{ V}$	$V_{CC}/V_{BAT} = 2.4\text{ V}$	$V_{CC}/V_{BAT} = 3.3\text{ V}$	$T_A = 85\text{ }^\circ\text{C}$	$T_A = 105\text{ }^\circ\text{C}$	
I _{CC}	停机模式供电电流	LDO 运行模式, 内部高速振荡器、内部低速振荡器和高速振荡器关闭, f _{CK} =8 MHz	432.00	-	-	-	-	uA
		LDO 低功耗模式, 内部高速振荡器、内部低速振荡器和高速振荡器关闭	370.00	-	-	-	-	
	待机模式供电电流	内部低速振荡器和 IWD _T 开启	4.80	-	-	-	-	
		内部低速振荡器开启, IWD _T 关闭	4.80	-	-	-	-	
		内部低速 RC 振荡器和 IWD _T 关闭, 低速振荡器和 RTC 关闭	4.70	-	-	-	-	
I _{CC_VBAT}	备份域供电电流	低速振荡器和 RTC 开启	4.80	-	-	-	-	

1. 典型值是在 $T_A = 25\text{ }^\circ\text{C}$ 测试。
2. 由特性评估得出, 不在生产中测试。

5.3.5. 低功耗模式唤醒时间

表 5-11 低功耗模式唤醒时间⁽²⁾

符号	参数	典型值 ⁽³⁾	单位
t _{WUSLEEP} ⁽¹⁾	从睡眠模式唤醒	3.20	μs
t _{WUSTOP} ⁽¹⁾	从停机模式唤醒(LDO 运行模式)	6.88	μs
	从停机模式唤醒(LDO 低功耗模式)	10.66	
t _{WUSTDBY} ⁽¹⁾	从待机模式唤醒	79.50	μs

1. 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。
2. 数据基于考核结果,不在生产中测试。
3. 测试数据基于 HSI 8 M 条件。

5.3.6. 外部时钟源特性

5.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式(RCC_CR 的 HSEBYP 置位), 芯片内的高速起振电路停止工作, 相应的 IO 作为标准的 GPIO 使用。

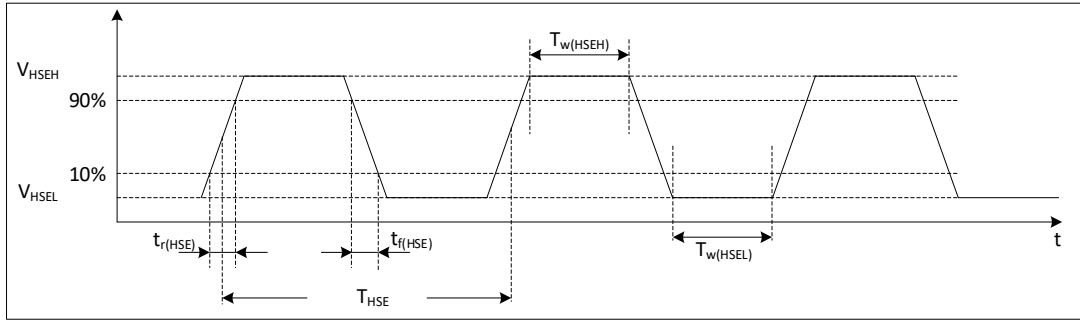


图 5-1 外部高速时钟时序图

表 5-12 外部高速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		4	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压	-	$0.7 V_{CC}$	-	V_{CC}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3 V_{CC}$	
$t_{w(HSE)}$	OSC_IN 输入引脚高电平低电平时间 ⁽¹⁾		5	-	-	ns
$t_{r(HSE)}/t_{f(HSE)}$	OSC_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	20	
$C_{in(HSE)}$	OSC_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
$DuCy_{(HSE)}$	占空比	-	45	-	55	%
I_L	OSC_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证,不在生产中测试。

5.3.6.2. 外部低速时钟

在 LSE 的 bypass 模式(RCC_BDCR 的 LSEBYP 置位),芯片内的低速起振电路停止工作,相应的 IO 作为标准的 GPIO 使用。

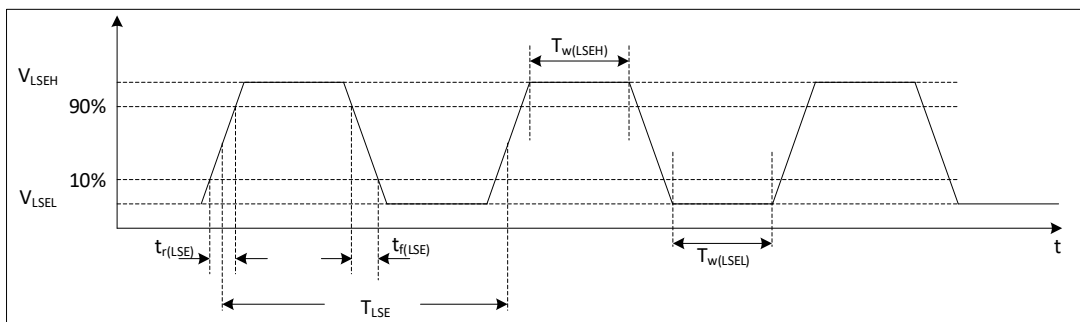


图 5-2 外部低速时钟时序图

表 5-13 外部低速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSE_ext}	用户外部时钟频率 ⁽¹⁾		-	32.768	1000	kHz
V _{LSEH}	OSC32_IN 输入引脚高电平电压	-	0.7 V _{CC}	-	V _{CC}	V
V _{LSEL}	OSC32_IN 输入引脚低电平电压		V _{SS}	-	0.3 V _{CC}	
t _{w(LSE)}	OSC32_IN 输入引脚高电平低电平时间 ⁽¹⁾		450	-	-	ns
t _{r(LSE)} /t _{f(LSE)}	OSC32_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	50	
C _{in(LSE)}	OSC32_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
DuCy _(LSE)	占空比	-	30	-	70	%
I _L	OSC32_IN 输入引脚漏电流	V _{SS} ≤ V _{IN} ≤ V _{CC}	-	-	±1	μA

1. 由设计保证,不在生产中测试。

5.3.6.3. 外部高速晶体

可以通过外接 32 MHz 的晶体/陶瓷谐振器。在应用中,晶体和负载电容应该尽可能靠近管脚,这样可以使输出变形和启动稳定时间最小化。

表 5-14 外部高速晶体特性

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位	
f _{OSC_IN}	振荡器频率	-	4	8	32	MHz	
R _F	反馈电阻	-	-	200	-	kΩ	
I _{DD}	HSE 功耗	CL=12 pF, 32 MHz, HSE_DRV[1:0]=01	-	-	1	mA	
g _m	振荡器跨导	启动	HSE_DRV[1:0]=00	3.5	-	-	mA/V
			HSE_DRV[1:0]=01	5	-	-	mA/V
			HSE_DRV[1:0]=10	7.5	-	-	mA/V
			HSE_DRV[1:0]=11	10	-	-	mA/V
t _{SU(HSE)} ⁽²⁾	启动时间	V _{CC} 是稳定的	-	0.7	-	ms	

1. 由特性评估给出,不在生产中测试。

2. 相对较低的 R_F 电阻值提供了更好的保护,以防止在潮湿环境中使用时,由于感应泄漏和偏置条件的变化而产生的问题。但是,如果 MCU 在恶劣的湿度条件下使用时,设计时建议把这个参数考虑进去。

5.3.6.4. 外部低速晶体

可以通过外接 32.768 kHz 的晶体/陶瓷谐振器。在应用中,晶体和负载电容应该尽可能靠近管脚,这样可以使输出变形和启动稳定时间最小化。

表 5-15 外部低速晶体特性

符号	参数	条件	最小值	典型值 ⁽¹⁾	最大值	单位
RF	反馈电阻	-	-	5	-	MΩ
I _{DD}	LSE 功耗	LSE_DRV_VBKP[1:0]=00	-	500	-	nA
		LSE_DRV_VBKP[1:0]=01	-	630	-	nA
		LSE_DRV_VBKP[1:0]=10	-	250	-	nA
		LSE_DRV_VBKP[1:0]=11	-	315	-	nA
g _m	振荡器跨导	LSE_DRV_VBKP[1:0]=00	8.5	-	-	μA/V
		LSE_DRV_VBKP[1:0]=01	13.5	-	-	μA/V
		LSE_DRV_VBKP[1:0]=10	2.5	-	-	μA/V
		LSE_DRV_VBKP[1:0]=11	3.75	-	-	μA/V
t _{SU(LSE)} ⁽²⁾	启动时间	V _{CC} 是稳定的	-	0.5	-	s

1. 由设计保证,不在生产中测试。
2. 数据基于考核结果,不在生产中测试。

5.3.7. 内部高频时钟源 HSI 特性

表 5-16 内部高频时钟源特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位	
f _{HSI}	频率	-	7.96	8	8.04	MHz	
DuCy _(HSI)	占空比	-	45	-	55	%	
ACC _{HSI}	HSI 振荡器精度	用户使用 RCC_CR 寄存器调整 ⁽²⁾	-	0.5	1 ⁽³⁾	%	
		工厂校准	T _A = -40 ~ 105 °C	-	-	-	%
			T _A = -10 ~ 85 °C	-2	-	2	%
			T _A = 0 ~ 70 °C	-	-	-	%
			T _A = 25 °C	-1	-	1	%
t _{SU(HSI)} ⁽³⁾	HSI 振荡器启动时间	-	1	-	2	μs	
I _{CC(HSI)} ⁽³⁾	HSI 振荡器功耗	-	-	80	150	μA	

1. 由设计保证,不在生产中测试。
2. V_{CC} = 3.3 V, T_A = -40 ~ 105 °C, 除非有特别说明。
3. 数据基于考核结果,不在生产中测试。

5.3.8. 内部低频时钟源 LSI 特性

表 5-17 内部低频时钟特性

符号	参数	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值 ⁽¹⁾	单位
f _{LSI} ⁽²⁾	频率	30	40	60	kHz
t _{SU(LSI)} ⁽³⁾	LSI 振荡器启动时间	-	-	85	μs
I _{DD(LSI)} ⁽³⁾	LSI 振荡器功耗	-	0.2	0.3	μA

1. 由设计保证,不在生产中测试。
2. V_{CC} = 3.3 V, T_A = -40 to 105 °C, 除非有特别说明。
3. 数据基于考核结果,不在生产中测试。

5.3.9. 锁相环 PLL 特性

表 5-18 锁相环特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f _{PLL_IN}	PLL 输入时钟	8	24	25	MHz
	PLL 输入时钟占空比	40	-	60	%
f _{PLL_OUT}	PLL 倍频输出时钟	48	-	144	MHz
t _{LOCK}	PLL 锁相时间	-	25	550	μs
Jitter	抖动	-	-	180	ps

1. 由设计保证，不在生产中测试。

5.3.10. 存储器特性

表 5-19 存储器特性

符号	参数	条件	最小值 ⁽¹⁾	典型值 ⁽¹⁾	最大值	单位
PE _{CYC}	擦写次数	T _A = -40°C ~ 85°C	100	-	-	kcycles
t _{RET}	数据保持时间	T _A = 85°C, 1000 次擦写后	20	-	-	years
		T _A = 105°C, 1000 次擦写后	10	-	-	
		T _A = 55°C, 10000 次擦写后	10	-	-	
t _{PROG}	页编程时间	T _A = -40°C ~ 85°C	-	1.5	-	ms
t _{ERASE}	页擦除时间	T _A = -40°C ~ 85°C	-	5	-	ms
t _{MERASE}	全片擦除随时间	T _A = -40°C ~ 85°C	-	5	-	ms

1. 由设计保证，不在生产中测试。

5.3.11. ESMC 特性

表 5-20 ESMC characteristics in SDR mode ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
F(QCK)	SPI clock frequency	1.8 < V _{CC} < 3.6 V	-	-	70	MHz
t _{w(CKH)}	SPI clock high and low time	1.8 < V _{CC} < 3.6 V	t _{CK} /2-0.5	-	t _{CK} /2+1	ns
t _{w(CKL)}			t _{CK} /2-1	-	t _{CK} /2+0.5	
t _{s(IN)}	Data input setup time	1.8 < V _{CC} < 3.6 V	1	-	-	
t _{h(IN)}	Data input hold time	1.8 < V _{CC} < 3.6 V	5	-	-	
t _{v(OUT)}	Data output valid time	1.8 < V _{CC} < 3.6 V	-	1	1.5	
t _{h(OUT)}	Data output hold time	1.8 < V _{CC} < 3.6 V	0.5	-	-	

1. 由特性评估给出，不在生产中测试。

表 5-21 ESMC characteristics in DDR mode ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
F(QCK)	SPI clock frequency	1.8 < V _{CC} < 3.6 V	-	-	70	MHz
t _{w(CKH)}	SPI clock high and low time	1.8 < V _{CC} < 3.6 V	t _{CK} /2-0.5	-	t _{CK} /2+1	ns
t _{w(CKL)}			t _{CK} /2-1	-	t _{CK} /2+0.5	
t _{sr(IN)}	Data input setup time on rising edge	1.8 < V _{CC} < 3.6 V	2	-	-	

符号	参数	条件	最小值	典型值	最大值	单位
$t_{sf(IN)}$	Data input setup time on falling edge	$1.8 < V_{CC} < 3.6 V$	2	-	-	
$t_{hr(IN)}$	Data input hold time on rising edge	$1.8 < V_{CC} < 3.6 V$	5	-	-	
$t_{hf(IN)}$	Data input hold time on falling edge	$1.8 < V_{CC} < 3.6 V$	5	-	-	
$t_{vr(OUT)}$	Data output valid time on rising edge	$1.8 < V_{CC} < 3.6 V$	-	-	9	
$t_{vf(OUT)}$	Data output valid time on falling edge	$1.8 < V_{CC} < 3.6 V$	-	-	11	
$t_{hr(OUT)}$	Data output hold time rising edge	$1.8 < V_{CC} < 3.6 V$	2	-	-	
$t_{hf(OUT)}$	Data output hold time falling edge	$1.8 < V_{CC} < 3.6 V$	3	-	-	

1. 由特性评估给出，不在生产中测试。

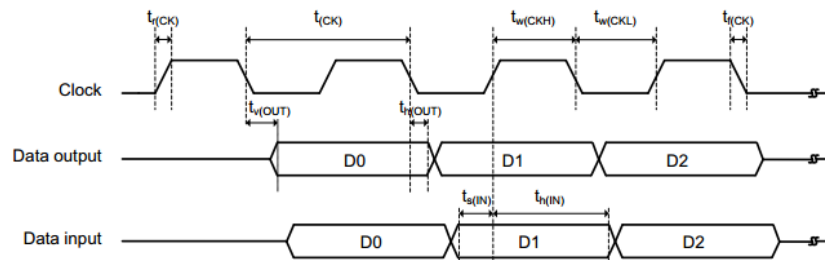


图 5-3 ESMC timing diagram – SDR mode

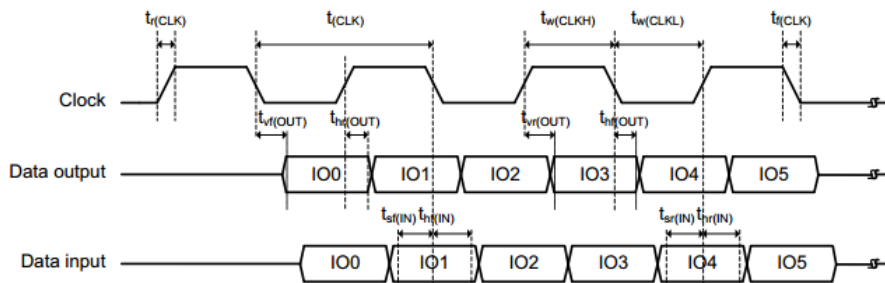


图 5-4 ESMC timing diagram – DDR mode2

5.3.12. EMC 特性

敏感性测试是在产品特性评估时抽样进行测试的

EMS (电磁敏感性)

当运行一个简单的应用程序时 (通过 I/O 端口闪烁 2 个 LED)，测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电(ESD)(正放电和负放电)：施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC61000-4-2 标准。
- FTB：在 V_{CC} 和 V_{SS} 上通过一个 100 pF 的电容器施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于 AN 定义的 EMS 级别和类型进行的测试。

表 5-22 EMS 特性

符号	参数	条件	级别/类型
V_{FESD}	施加在任何 I/O 引脚上引起功能性干扰的电压极限	$V_{CC} = 3.3\text{ V}$, $T_A = +25\text{ }^\circ\text{C}$, $f_{HCLK} = 144\text{ MHz}$, 符合 IEC 61000-4-2 标准	2 A
V_{FTB}	在 V_{CC} 和 V_{SS} 引脚上通过 100 pF 电容施加的导致功能错误的快速瞬变脉冲电压极限	$V_{CC} = 3.3\text{ V}$, $T_A = +25\text{ }^\circ\text{C}$, $f_{HCLK} = 144\text{ MHz}$, 符合 IEC 61000-4-4 标准	4 A

设计牢靠的软件以避免噪声问题

在器件级进行 EMC 的评估和优化, 是在典型的应用环境中进行的。应该注意的是, 好的 EMC 性能与用户应用和具体的软件密切相关。因此, 建议用户对软件实行 EMC 优化, 并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制, 如:

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等...)

认证前的实验

很多常见的失效 (意外的复位和程序计数器被破坏), 可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时, 可以把超出应用要求的电压直接施加在芯片上, 当检测到意外动作的地方, 软件部分需要加强以防止发生不可恢复的错误。

EMI (电磁干扰)

当执行一个简单的应用程序 (通过 I/O 端口切换 2 个 LED) 时, 设备发出的电磁场会受到监控。该测试符合 IEC 61967-2 标准, 该标准规定了测试板和引脚负载。

表 5-23 EMI 特性

符号	参数	条件	监控频段	Max vs. [f_{HSE}/f_{HCLK}]			单位
				8/48 MHz	8/72 MHz	8/108 MHz	
S_{EMI}	峰值	$V_{CC} = 3.3\text{ V}$, $T_A = +25\text{ }^\circ\text{C}$, 符合 IEC 61967-2 标准	0.1 ~ 2 MHz	-	-	-	dB μ V
			2 ~ 30 MHz	-	-	-	
			30 ~ 130 MHz	-	-	-	
			130 MHz ~ 1GHz	-	-	-	

5.3.13. ESD & LU 特性

基于三个不同的测试 (ESD, LU), 使用特定的测量方法, 对芯片施加应力测试以决定它的电气敏感性方面的性能。

表 5-24 ESD 特性

符号	参数	条件	最小值	典型值	最大值	Unit
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A=25\text{ }^\circ\text{C}$; JESD22- A114	-	-	4000	V
$V_{ESD(CDM)}$	静电放电电压 (器件充电模型)	$T_A=25\text{ }^\circ\text{C}$; JESD22-C101	-	-	1000	V
LU	过电流测试	$T_A=25\text{ }^\circ\text{C}$; JESD78A	-	-	± 200	mA
	过压测试		-	-	5.4	V

5.3.14. I/O 电流注入特性

作为一般规则, 在正常产品操作期间, 应避免由于外部电压低于 V_{SS} 或高于 V_{CC} (对于标准, 3 V I/O 引脚) 而向 I/O 引脚注入电流。然而, 为了在异常注入意外发生的情况下给出微控制器的鲁棒性的指示, 在器件特性测试时会做抽样测试。

对 I/O 电流注入的功能敏感性

当在设备上执行简单的应用程序时, 通过将电流注入配置成输入浮空模式的 I/O 引脚来对设备施加压力。当电流注入 I/O 引脚时 (每次只注入一个), 检查器件是否发生功能故障。

故障由超出范围的参数表示: ADC 错误高于某个限制 ($>5\text{ LSB TUE}$)、相邻引脚上的电流注入超出规范或其他功能故障 (例如复位、振荡器频率偏差)。

表 5-25 I/O 电流注入敏感性

符号	描述	功能敏感性		单位
		负电流注入	正电流注入	
I_{INJ}	在 OSC_IN32, OSC_OUT32, PA4, PA5, PC13 引脚上的注入电流	0	0	mA
	在所有 5 V 容忍引脚上的注入电流	-5	0	
	在所有其他引脚上的注入电流	-5	5	

5.3.15. EFT 特性

表 5-26 EFT 特性

符号	参数	条件	等级
EFT to Power	-	IEC61000-4-4	4B

5.3.16. 端口特性

表 5-27 IO 端口特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	标准 I/O 输入低电平	$1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	-0.3	-	$0.35 V_{CC}-0.06$	V
	5 V-tolerant I/O 输入低电平	$1.8\text{ V} \leq V_{CC} \leq 3.6\text{ V}$	-0.3	-	$0.4 V_{CC}-0.04$	V

符号	参数	条件	最小值	典型值	最大值	单位
V _{IH}	标准 I/O 输入高电平	1.8 V ≤ V _{CC} ≤ 3.6 V	0.6 V _{CC} +0.14	-	V _{CC} +0.3	V
	5 V-tolerant I/O 输入高电平	1.8 V ≤ V _{CC} ≤ 3.6 V	0.45 V _{CC} +0.13	-	5.5	V
V _{hys} ⁽¹⁾	标准 I/O 施密特电压迟滞	-	200	-	-	mV
	5 V-tolerant I/O 施密特电压迟滞		5% V _{CC}	-	-	mV
V _{Ikg} ⁽²⁾	输入漏电流	V _{SS} ≤ V _{IN} ≤ V _{CC}	-	-	-1	μA
		标准 I/O	-	-	-	μA
		V _{IN} = 5 V,	-	-	3	μA
		5 V-tolerant I/O	-	-	-	μA
R _{PU} ⁽³⁾	内部上拉电阻	V _{IN} =V _{SS}	30	40	50	kΩ
R _{PD} ⁽³⁾	内部下拉电阻	V _{IN} =V _{CC}	30	40	50	kΩ
C _{IO}	I/O 引脚电容	-	-	5	-	pF

1. 由设计保证,不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌,则漏电流可能高于最大值。
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达±8 mA 电流,也可以吸收或输出多达±20 mA 电流(需放宽 V_{OL}/V_{OH} 指标)。PC13, PC14 和 PC15 3 个引脚只能吸收或输出±3 mA 电流。当 PC13, PC14, PC15 被用作输出功能时,在输出负载 30 pF 条件下,I/O 速度不能超过 2 MHz。

在用户应用中,I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值给出的绝对最大额定值:

- 所有 I/O 端口从 V_{CC} 上获取的电流总和,加上 MCU 在 V_{CC} 上获取的最大运行电流,不能超过绝对最大额定值 I_{VCC}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和,加上 MCU 在 V_{SS} 上流出的最大运行电流,不能超过绝对最大额定值 I_{VSS}。

输出电压

除非特别说明,下表列出的参数都是在通用工作条件 T_A 使用环境温度 and V_{CC} 电源电压条件下进行的测试得到。

表 5-28 输出电压特性

符号	参数	条件	最小值	典型值	最大值 (2)	单位
V _{OL}	输出低电平, 8 个引脚同时吸收电流	2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +8 mA	-	-	0.4	V
		2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +20 mA (1)	-	-	1.3	
		1.8 V ≤ V _{CC} ≤ 2.7 V, I _{IO} = +6 mA (1)	-	-	0.4	
V _{OH}	输出高电平, 8 个引脚同时输出电流	2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +8 mA	V _{CC} -0.4	-	-	
		2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +20 mA (1)	V _{CC} -1.3	-	-	
		1.8 V ≤ V _{CC} ≤ 2.7 V, I _{IO} = +6 mA (1)	V _{CC} -0.4	-	-	

1. IO 类型可参考引脚定义的术语和符号。

2. 数据基于考核结果,不在生产中测试。

5.3.17. NRST 引脚特性

表 5-29 NRST 管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平	-	-0.5	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平	-	2	-	$V_{CC}+0.5$	
$V_{hys(NRST)}$	NRST 施密特迟滞电压	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	-	300	-	-	ns

1. 由设计保证,不在生产中测试。

2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小(约占 10%)。

5.3.18. ADC 特性

表 5-30 ADC 特性

符号	参数	条件 ⁽⁴⁾	最小值	典型值	最大值	单位
$V_{CCA}^{(3)}$	供电电压	-	1.8	-	3.6	V
V_{REF+}	正参考电压	-	1.8	-	V_{CCA}	V
I_{VCCA}	V_{CCA} 引脚电流	$f_{ADC} = 16 \text{ MHz}$	-	280	$370^{(1)}$	μA
I_{VREF}	V_{REF} 引脚电流	$f_{ADC} = 16 \text{ MHz}$	-	8	$10^{(1)}$	μA
f_{ADC}	ADC 时钟频率	-	0.8	-	16	MHz
$f_s^{(2)}$	采样速率	-	0.05	-	1	MHz
V_{AIN}	转换电压范围 ⁽³⁾	-	0 (V_{SSA} 或 V_{REF-} 接到地)	-	V_{REF+}	V
$R_{AIN}^{(2)}$	外部输入阻抗	-	-	-	30.9	k Ω
$R_{ADC}^{(2)}$	采样开关电阻	-	-	-	1.6	k Ω
$C_{ADC}^{(2)}$	内部采样和保持电容	-	-	-	8	pF
$t_{CAL}^{(2)}$	校准时间	$f_{ADC} = 16 \text{ MHz}$	5.6875~8.75			μs
		-	91 (采样时间为 1clk) ~140 (采样时间为 8clk)			$1/f_{ADC}$
$t_s^{(2)}$	采样时间	$f_{ADC} = 16 \text{ MHz}$	0.218	-	14.968	μs
		-	3.5	-	239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电稳定时间	-	0	0	1	μs
$t_{CONV}^{(2)}$	总转换时间(包括采样时间)	$f_{ADC} = 16 \text{ MHz}$	1	-	15.75	μs
		-	16 ~ 252 (采样 t_s + 逐次逼近 12.5)			$1/f_{ADC}$

1. 由设计保证,不在生产中测试。

2. 数据基于考核结果,不在生产中测试。

3. 部分封装形式 V_{REF+} 可在内部连接到 V_{CCA} , V_{REF-} 可在内部连接到 V_{SSA} , 具体可参考引脚定义。

表 5-31 $R_{AIN \text{ max}}$ for $f_{ADC} = 16 \text{ MHz}^{(1)}$

T_s (周期)	t_s (μs)	$R_{AIN \text{ max}}$ (kW)
3.5	0.21	0.3

T_s (周期)	t_s (μ s)	$R_{AIN\ max}$ (kW)
5.5	0.34	1.9
7.5	0.46	3.5
13.5	0.84	8.3
28.5	1.78	20.4
41.5	2.59	30.9
134.5	8.41	NA
239.5	15.96	NA

1. 由设计保证,不在生产中测试。

表 5-32 ADC 精度⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	Total unadjusted error	1.8 V < VDDA=VREF+ < 3.6 V; fADC = 16 MHz;fs ≤ 1 MSps; TA = entire range	7.5	15	LSB
EO	Offset error	VDDA=VREF+ 3.3 V; fADC = 16 MHz;fs ≤ 1 MSps TA = entire range	2	4	LSB
		1.8 V < VDDA=VREF+ < 3.6 V; fADC = 16 MHz;fs ≤ 1 MSps TA = entire range	2	6	
EG	Gain error	VDDA=VREF+ 3.3 V; fADC = 16 MHz;fs ≤ 1 MSps TA = entire range	4	5	LSB
		1.8 V < VDDA=VREF+ < 3.6 V; fADC = 16 MHz;fs ≤ 1 MSps TA = entire range	4	8	
ED	Differential linearity error	1.8 V < VDDA=VREF+ < 3.6 V; fADC = 16 MHz;fs ≤ 1 MSps TA = entire range	1.2	1.5	LSB
EL	Integral linearity error	1.8 V < VDDA=VREF+ < 3.6 V; fADC = 16 MHz;fs ≤ 1 MSps TA = entire range	4	6	LSB

1. 数据基于考核结果,不在生产中测试。

2. ADC 测试之前先做校准。

3. ADC 精度与反向注入电流关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间) 增加一个肖特基二极管。如果正向的注入电流, 只要处于 I/O current injection characteristics 中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内, 就不会影响 ADC 精度。

4. 由特性评估保证, 不在生产中测试。

5.3.19. 温度传感器特性

表 5-33 温度传感器特性

符号	参数	最小值	典型值	最大值 ⁽³⁾	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	± 1	± 2	$^{\circ}\text{C}$
Avg_Slope ⁽¹⁾	平均斜率	2.0	2.2	2.4	mV/ $^{\circ}\text{C}$
$V_{25}^{(1)}$	25 $^{\circ}\text{C}$ 时的电压	0.582	0.6	0.618	V
$t_{START}^{(2)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时的 ADC 采样时间	-	-	17.1	μs

1. 由设计保证,不在生产中测试。
2. 数据基于考核结果,不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.20. 内置参考电压特性

表 5-34 内置参考电压特性

符号	参数	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	1.17	1.2	1.23	V
$T_{S_vrefint}^{(1)}$	读内部参考电压时, ADC 采样时间	-	5.1	17.1	μs
V_{RERINT}	温度范围内的内部参考电压偏差	-	-	10	mV
T_{Coeff}	温度系数	-100	-	100	ppm/ $^{\circ}\text{C}$

1. 由设计保证,不在生产中测试。

5.3.21. 定时器特性

表 5-35 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res}(\text{TIM})$	定时器分辨时间	-	1	-	t_{TIMxCLK}
		$f_{\text{TIMxCLK}} = 144 \text{ MHz}$	-	-	ns
f_{EXT}	CH1~CH4 的定时器外部时钟频率	-	0	$f_{\text{TIMxCLK}}/2$	MHz
		$f_{\text{TIMxCLK}} = 144 \text{ MHz}$	-	-	MHz
Re_{TIM}	定时器分辨率	-	-	16	bit
t_{COUNTER}	选择内部时钟时 16 位计数器时钟周期	-	1	65536	t_{TIMxCLK}
		$f_{\text{TIMxCLK}} = 144 \text{ MHz}$	-	-	μs
$t_{\text{MAX_COUNT}}$	最大可能计数	-	-	65536×65536	t_{TIMxCLK}
		$f_{\text{TIMxCLK}} = 144 \text{ MHz}$	-	-	s

表 5-36 IWDG 特性(时钟选择 LSI)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	499.712	ms
/8	1	0.244	999.424	
/16	2	0.488	1998.848	
/32	3	0.976	3997.696	
/64	4	1.952	7995.392	
/128	5	3.904	15990.784	
/256	6 or 7	7.808	31981.568	

表 5-37 WWDG 特性(时钟选择 48 MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

5.3.22. 通讯口特性

5.3.22.1. I²C 接口特性

I²C 接口符合标准 I²C 通信协议，但有如下限制：SDA 和 SCL 不是‘真’的引脚，当配置为开漏输出时，在引出脚和 VCC 之间的 PMOS 管被关闭，但仍然存在。

表 5-38 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL 时钟低时间	4.7	-	1.3	-	μs
t _w (SCLH)	SCL 时钟高时间	4	-	0.6	-	μs
t _{su} (SDA)	SDA 建立时间	250	-	100	-	ns
t _h (SDA)	SDA 数据保持时间	-	3450 ⁽³⁾	-	900 ⁽³⁾	
t _r (SDA) / t _r (SDL)	SDA 和 SCL 上升时间	-	1000	-	300	
t _f (SDA) / t _f (SDL)	SDA 和 SCL 下降时间	-	300	-	300	
t _h (STA)	开始条件保持时间	4	-	0.6	-	μs
t _{su} (STA)	重复的开始条件建立时间	4.7	-	0.6	-	
t _{su} (STO)	停止条件建立时间	4	-	0.6	-	
t _w (STO:STA)	停止条件至开始条件的时 间(总线空闲)	4.7	-	1.3	-	
C _b	每条总线的容性负载	-	400	-	400	pF
t _{sp}	噪声滤波脉宽	0	50 ⁽⁴⁾	0	50 ⁽⁴⁾	μs

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I²C 的最大频率，f_{PCLK1} 必须大于 2 MHz。为达到快速模式 I²C 的最大频率，f_{PCLK1} 必须大于 4 MHz。
3. 在芯片内部必须保证 SDA 信号上至少有 300 ns 的保持时间用于避免数据输出时 SCL 低电平期间 SDA 总线上数据发生变化。
4. 模拟滤波器抑制的噪声脉宽

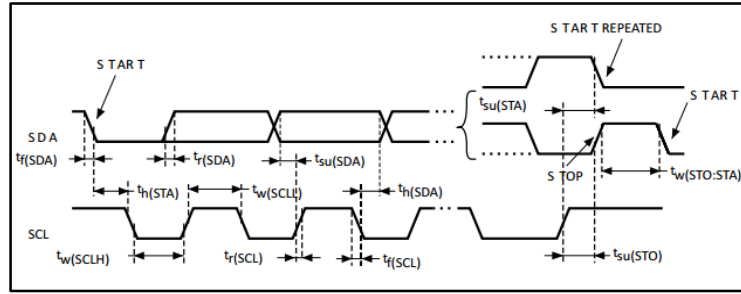


图 5-5 I²C 总线时序图

5.3.22.2. SPI 接口特性

表 5-39 SPI 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式 2.7~3.6 V	-	-	40	MHz
		主模式 1.8~3.6 V	-	-	40	
		从模式 2.7~3.6 V	-	-	40	
		从模式 1.8~3.6 V	-	-	40	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升/下降时间	负载电容: C= 30 pF	-	-	5	ns
DuCy(SCK)	SPI 从模式输入时钟占空比	从模式	45	-	55	%
$t_{su(NSS)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	-	ns
$t_h(NSS)$	NSS 保持时间	从模式	$2t_{PCLK}$	-	-	
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高电平/低电平时间	主模式, presc = 4	$2T_{pclk}-1$	$2T_{pclk}$	$2T_{pclk}+1$	
$t_{su(MI)}$	数据输入建立时间	主模式 presc = 4	$T_{pclk} + 4$ ⁽¹⁾	-	-	
$t_{su(SI)}$		从模式 presc = 4	3	-	-	
$t_h(MI)$	数据输入保持时间	主模式	4	-	-	
$t_h(SI)$		从模式	$T_{pclk} + 4$	-	-	
$t_a(SO)$	数据输出访问时间	从模式 presc = 4	0	-	$3T_{pclk}$	
$t_{dis(SO)}$	数据输出禁止时间	从模式	$2T_{pclk} + 5$	-	$4T_{pclk} + 5$	
$t_v(SO)$	数据输出有效时间	从模式 2.7~3.6V presc = 4	0	-	12 or $1.5T_{pclk}$ ⁽²⁾	
		从模式 1.8~3.6V presc = 4	0	-	18 or $1.5T_{pclk}$ ⁽²⁾	

符号	参数	条件	最小值	典型值	最大值	单位
$t_{v(MO)}$		主模式 (使能边沿之后)	-	3.5	4.5	
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后) presc = 4	0 ⁽³⁾	-	-	
$t_{h(MO)}$		主模式 (使能边沿之后)	2	-	-	

1. 主机在接收沿的前产生 1 PCLK 接收控制信号。
2. 从机基于 SCK 发送沿最大有 1 PCLK 延时, 考虑 IO 延时等, 定义 1.5 PCLK。
3. 在 主机发送的 SCK 占空比接收沿和发送沿之间宽的情况下, 从机在发送沿之前就更新数据。

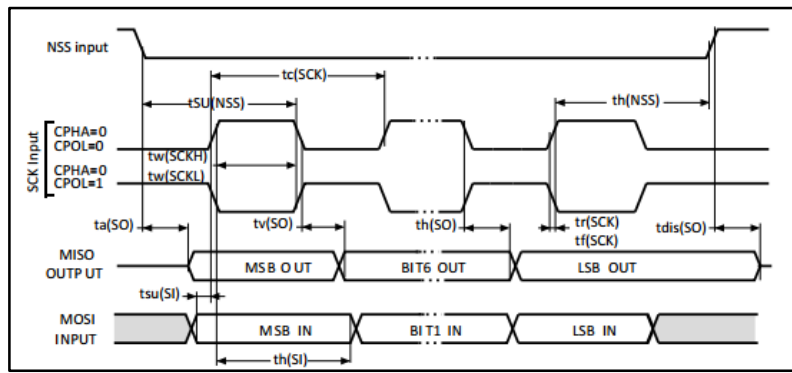


图 5-6 SPI 时序图-从模式且 CPHA = 0

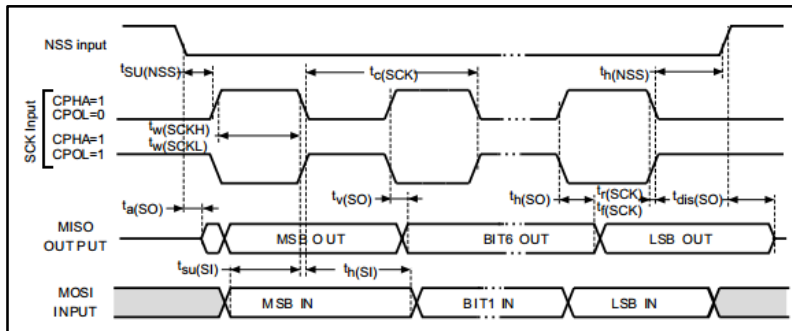


图 5-7 SPI 时序图-从模式且 CPHA = 1(1)

1. 测量点设置于 CMOS 电平: 0.3V_{CC} 和 0.7V_{CC}

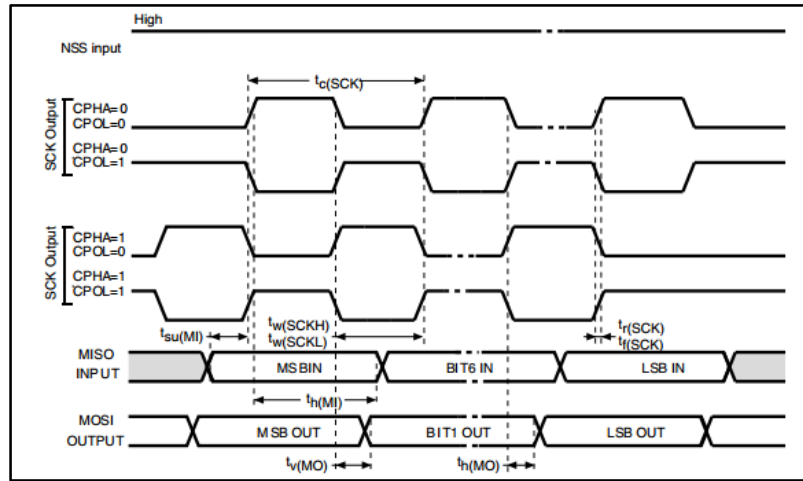


图 5-8 SPI 时序图-主模式(1)

1. 测量点设置于 CMOS 电平：0.3V^{CC} 和 0.7V^{CC}

5.3.22.3. I²S 接口特性

表 5-40 I²S 接口特性

符号	参数	条件	最小值	最大值	单位	
f _{MCLK}	I ² S 主时钟输出	-	256x8 K	256xF _s ⁽¹⁾	MHz	
f _{CK} 1/t _c (CK)	I ² S 时钟频率	主模式数据	-	64xF _s	MHz	
		从模式数据	-	64xF _s		
D _{CK}	I ² S 时钟占空比	从模式接收	30	70	%	
t _r (CK) t _f (CK)	I ² S 时钟上升/下降时间	电容负载 C _L = 50 pF	-	8	ns	
t _v (WS)	W _s 有效时间	主模式	-	2		
t _h (WS)	W _s 保持时间	主模式	3	-		
		从模式	2	-		
t _{su} (W _s)	W _s 建立时间	从模式	4	-		
t _{su} (SD_MR)	数据输入建立时间	主接收器	3	-		
t _{su} (SD_SR)		从接收器	4	-		
t _h (SD_MR)	数据输入保持时间	主接收器	5	-		
t _h (SD_SR)		从接收器	2	-		
t _v (SD_ST)	数据输出有效时间	从接收器 (使能边沿之后)	2.7-3.6 V	-		15
			1.8-3.6 V	-		22
t _v (SD_MT)	数据输出有效时间	主接收器 (使能边沿之后)	-	2		
t _h (SD_ST)	数据输出保持时间	从接收器 (使能边沿之后)	7	-		
t _h (SD_MT)		主接收器 (使能边沿之后)	1	-		

1. 256xF_s最大不超过 49.152 MHz

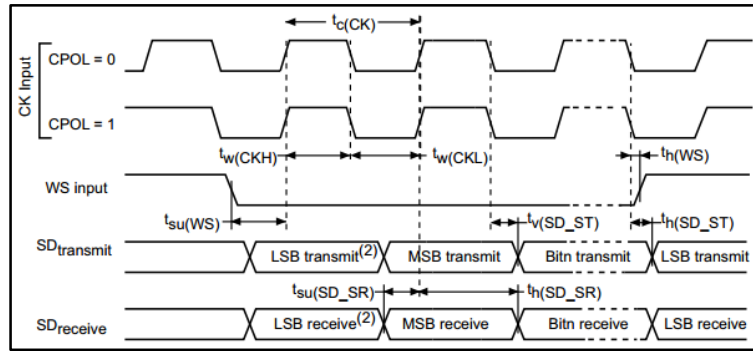


图 5-9 I²S 从模式时序图(Philips 协议)⁽¹⁾

1. Measurement points are done at CMOS levels: $0.3 \times V_{CC}$ and $0.7 \times V_{CC}$.
2. LSB transmit/receive of the previously transmitted byte. No LSB transmit/receive is sent before the first byte.

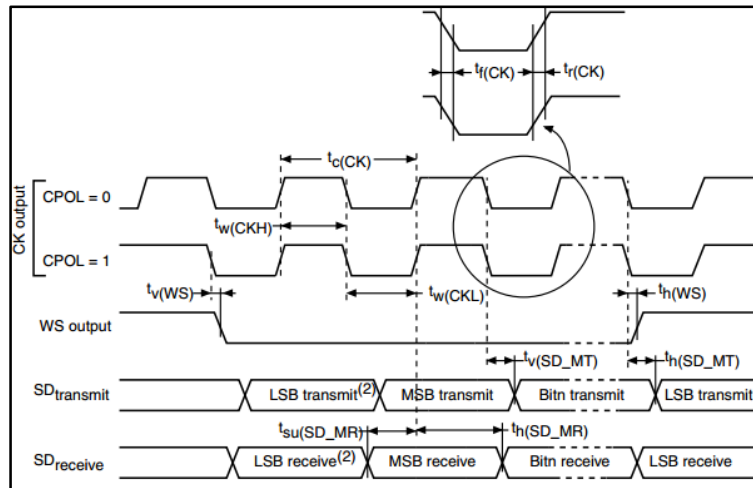


图 5-10 I²S 主模式时序图(Philips 协议)⁽¹⁾

1. Guaranteed by characterization results.
2. LSB transmit/receive of the previously transmitted byte. No LSB transmit/receive is sent before the first byte.

5.3.22.4. USB 特性

表 5-41 USB 启动时间

符号	参数	最大值	单位
$t_{START}^{(1)}$	USB 收发器启动时间	1	μs

1. 由设计保证

表 5-42 USB 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
V_{CC}	USB 工作电压 ⁽²⁾	-	3.0 ⁽³⁾	3.6	V

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
V _{DI} ⁽³⁾	差分输入灵敏度	I(USB_DP, USB_DM)	0.2	-	
V _{CM} ⁽³⁾	差分共模范围	Includes VDI range	0.8	2.5	
V _{SE} ⁽³⁾	单端接收器阈值	-	1.3	2	
输出电平					
V _{OL}	静态输出低电平	R _L = 1.5 kΩ 接到 3.6 V ⁽⁴⁾	-	0.3	V
V _{OH}	静态输出高电平	R _L = 15 kΩ 接到 V _{SS} ⁽⁴⁾	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。
2. 本产品的 USB 功能可以低至 2.7 V，但不能保证在 VCC 电压降低到 2.7~3.0 V 范围内完整的 USB 电气特性。
3. 由评估保证，不在生产中测试。
4. R_L 是连接到 USB 驱动器上的负载。

表 5-43 USB 全速电气特性 ⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _r	上升时间 ⁽²⁾	C _L ≤ 50 pF	4	20	ns
t _f	下降时间 ⁽²⁾	C _L ≤ 50 pF	4	20	ns
t _{rim}	上升下降时间匹配	t _r /t _f	90	110	%
V _{CRS}	输出信号交叉电压	-	1.3	2.0	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从 10%至 90%。

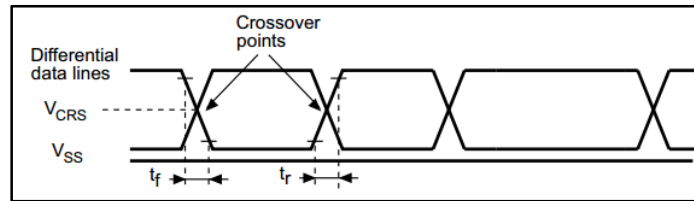


图 5-11 USB 时序: 数据信号上升和下降时间定义

5.3.23. SD/SDIO MMC 卡主机接口特性

表 5-44 SD/MMC 特性

符号	参数	条件	最小值	最大值	单位
f _{PP}	数据传输模式下的时钟频率	C _L ≤ 30 pF	0	48	MHz
t _{w(CKL)}	时钟低时间	f _{PP} = 48 MHz	8.5	-	ns
t _{w(CKH)}	时钟高时间	f _{PP} = 48 MHz	8.3	-	
MMC 和 SD HS 模式下的 CMD、D 输入 (以 CK 为基准)					
t _{ISU}	输入建立时间	f _{PP} = 48 MHz	3.5	-	ns

符号	参数	条件	最小值	最大值	单位
t_{IH}	输入保持时间	$f_{PP} = 48 \text{ MHz}$	0	-	
MMC 和 SD HS 模式下的 CMD、D 输出 (以 CK 为基准)					
t_{OV}	输出有效时间	$f_{PP} = 48 \text{ MHz}$	-	7	ns
t_{OH}	输出保持时间	$f_{PP} = 48 \text{ MHz}$	3	-	
SD 默认模式下的 CMD、D 输入 (以 CK 为基准)					
T_{ISUD}	输入建立时间	$f_{PP} = 24 \text{ MHz}$	1.5	-	ns
t_{IHD}	输入保持时间	$f_{PP} = 24 \text{ MHz}$	0.5	-	
SD 默认模式下的 CMD、D 输出 (以 CK 为基准)					
t_{OVD}	输出有效默认时间	$f_{PP} = 24 \text{ MHz}$	-	6.5	ns
t_{OHD}	输出保持默认时间	$f_{PP} = 24 \text{ MHz}$	3.5	-	

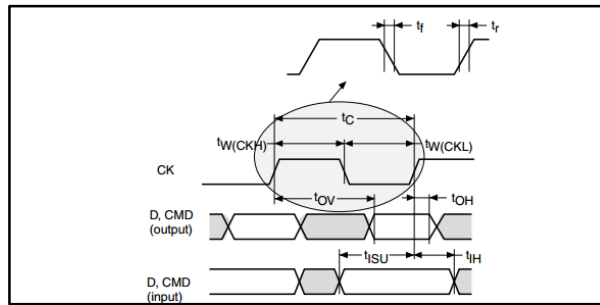


图 5-12 SDIO 高速模式

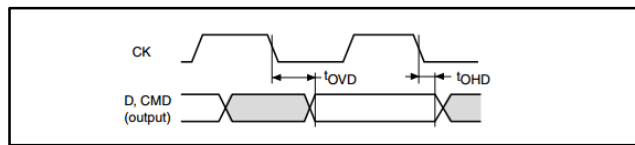


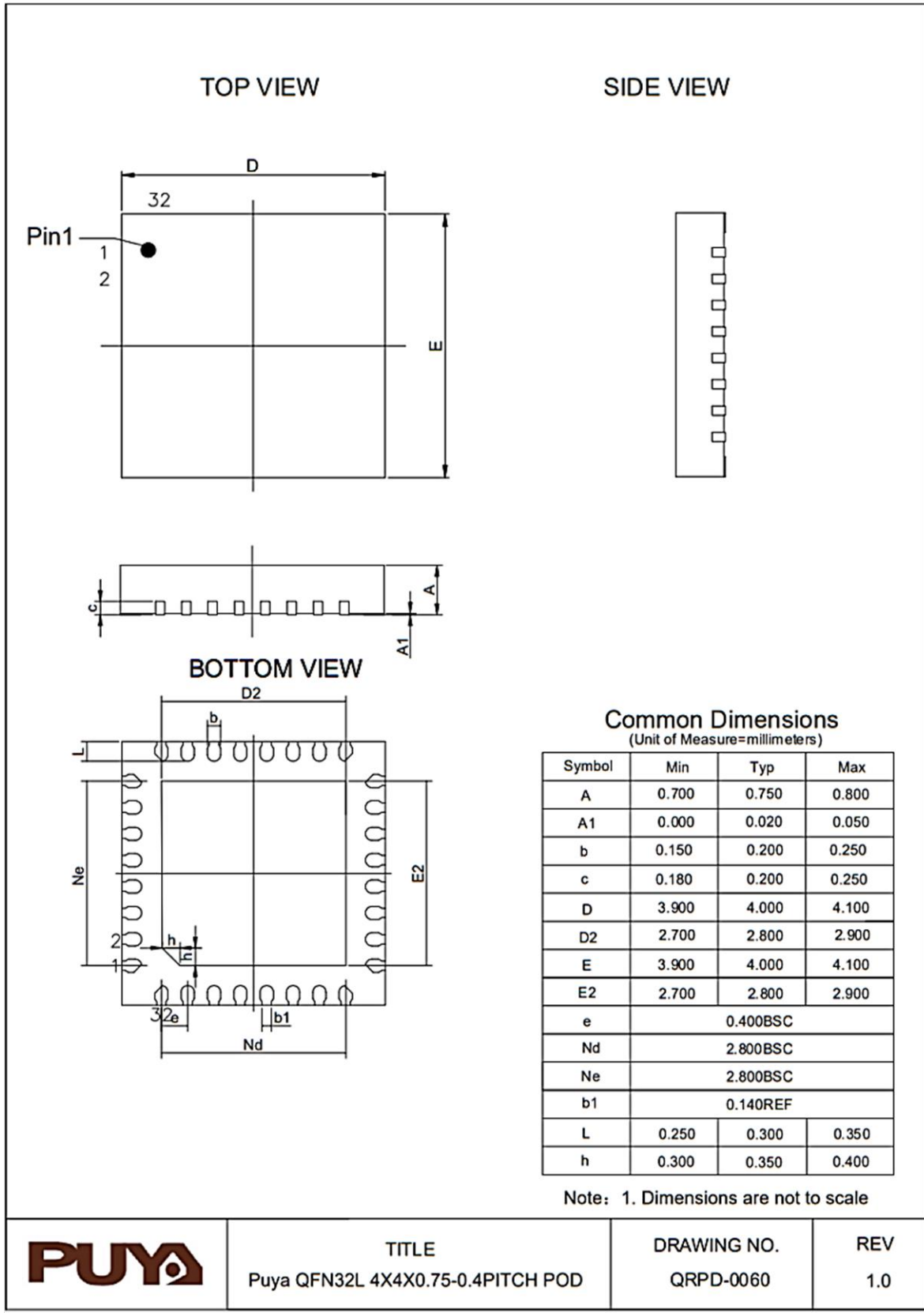
图 5-13 SD 默认模式

5.3.24. CANFD 接口特性

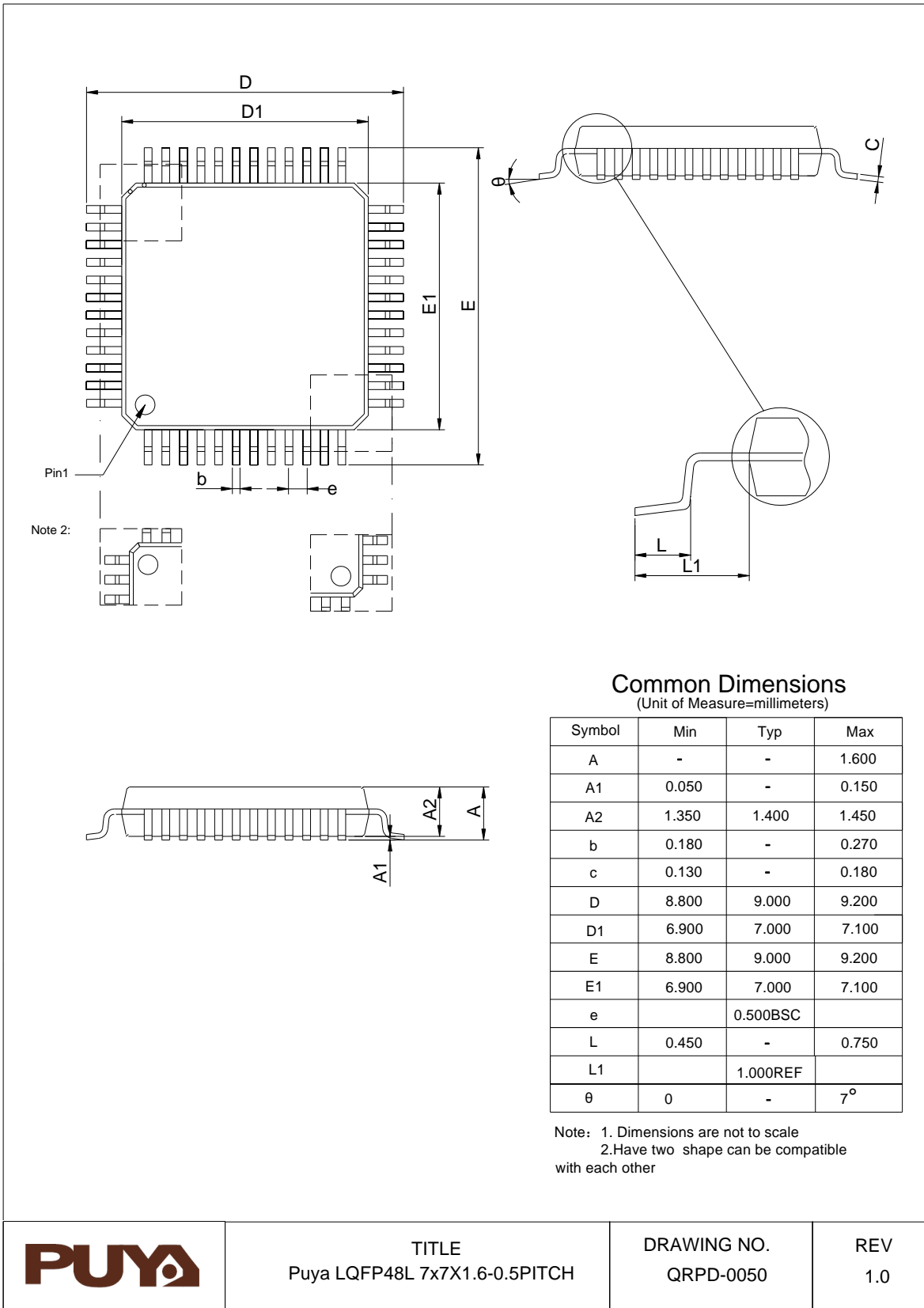
有关输入/输出复用功能引脚 (CANFD_TX 和 CANFD_RX) 的特性, 参见 IO 端口特性章节。


6. 封装信息

6.1. QFN32 (4*4) 封装尺寸

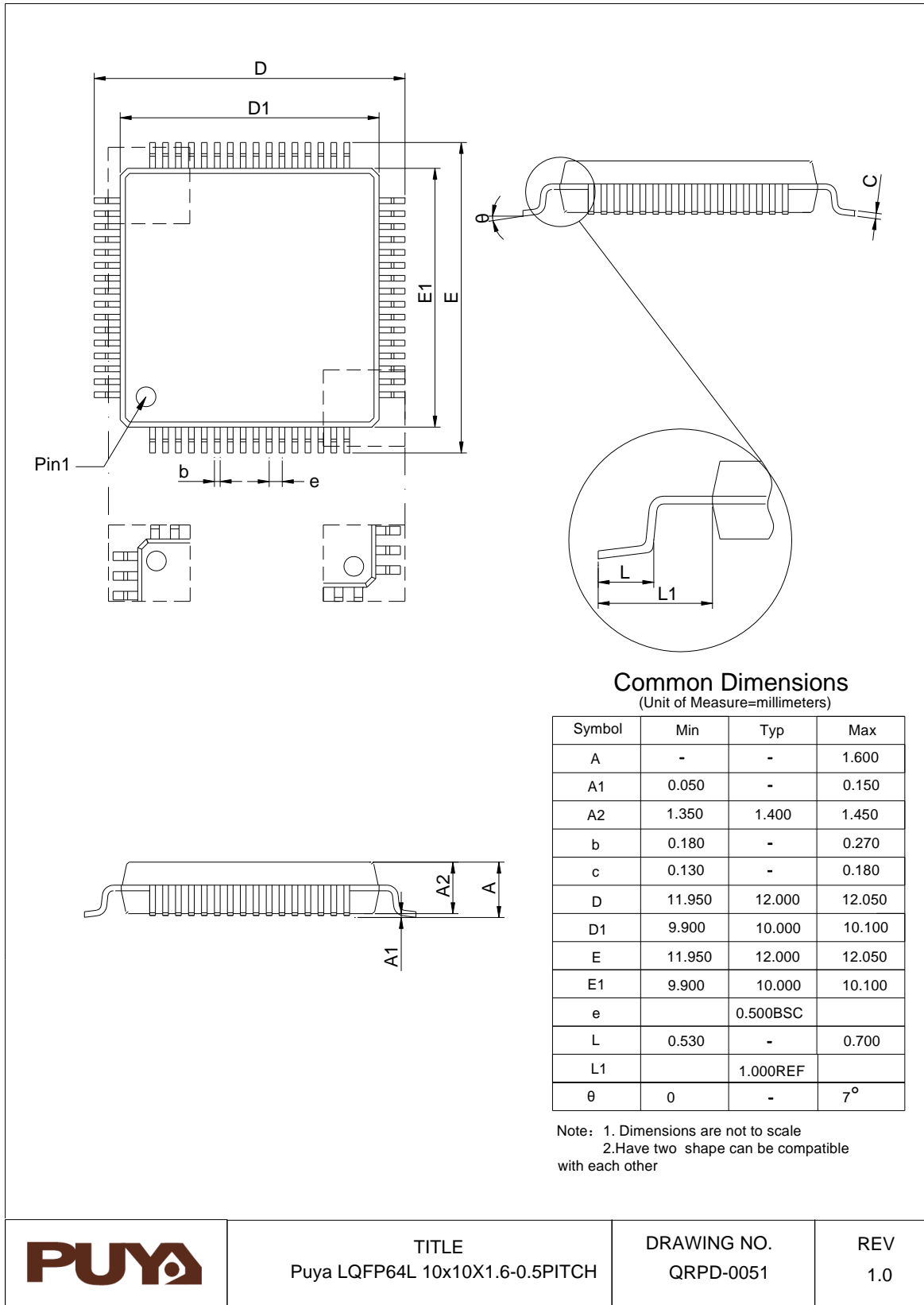


6.2. LQFP48 封装尺寸

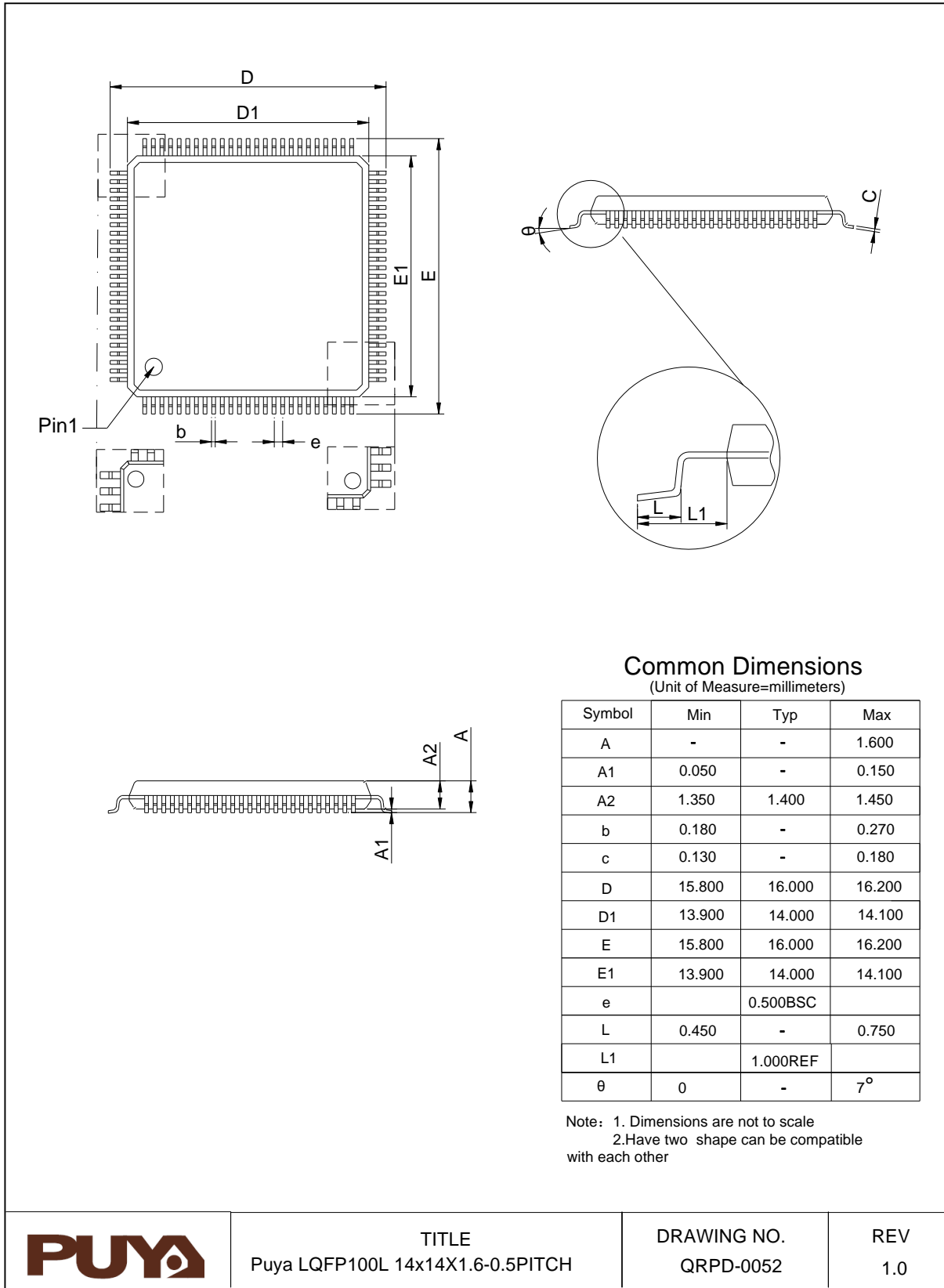


	<p>TITLE Puya LQFP48L 7x7X1.6-0.5PITCH</p>	<p>DRAWING NO. QRPD-0050</p>	<p>REV 1.0</p>
---	--	----------------------------------	--------------------

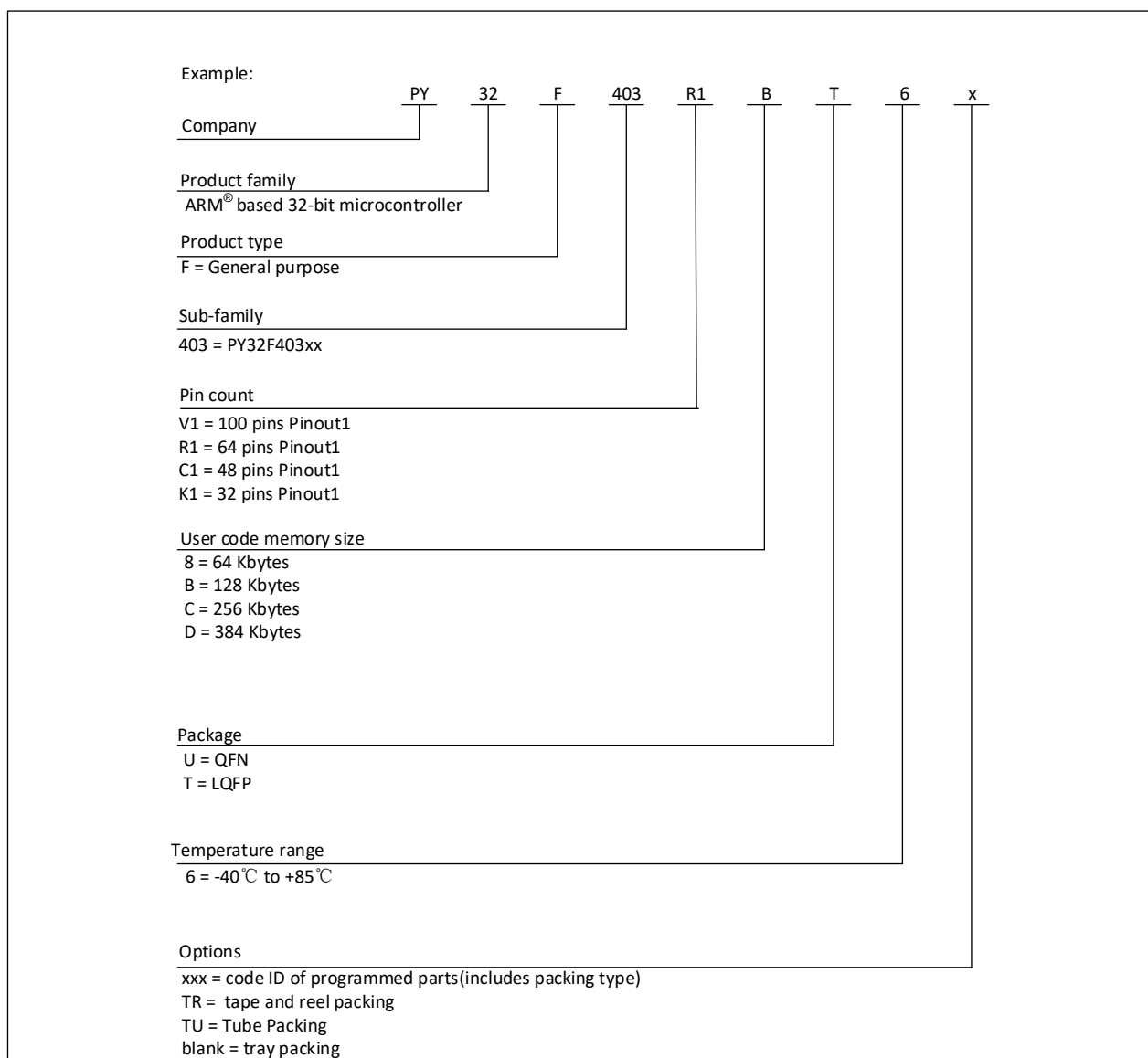
6.3. LQFP64 封装尺寸



6.4. LQFP100 封装尺寸



7. 订购信息



8. 版本历史

版本	日期	更新记录
V1.0	2023.08.24	1. 初版
V1.1	2023.09.18	1. 更新表5-33
V1.2	2023.11.16	1. 更新产品特性
V1.3	2023.11.22	1. 新增PY32F403K1CU6型号信息 2. 更新QFN32 pin定义
V1.4	2024.01.29	1. QFN32 引脚配置图修正



Puya Semiconductor Co., Ltd.

声 明

普冉半导体(上海)股份有限公司(以下简称:“Puya”)保留更改、纠正、增强、修改 Puya 产品和/或本文档的权利,恕不另行通知。用户可在下单前获取产品的最新相关信息。

Puya 产品是依据订单时的销售条款和条件进行销售的。

用户对 Puya 产品的选择和使用承担全责,同时若用于其自己或指定第三方产品上的, Puya 不提供服务支持且不对此类产品承担任何责任。

Puya 在此不授予任何知识产权的明示或暗示方式许可。

Puya 产品的转售,若其条款与此处规定不一致, Puya 对此类产品的任何保修承诺无效。

任何带有 Puya 或 Puya 标识的图形或字样是普冉的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代并替换先前版本中的信息。

普冉半导体(上海)股份有限公司 - 保留所有权利